

Міністерство освіти і науки України  
Донбаська державна машинобудівна академія (ДДМА)

**О. Ф. Єнікєєв**  
**О. В. Разживін**  
**О. В. Суботін**

# **СХЕМОТЕХНІКА ТА МІКРОЕЛЕКТРОНІКА**

## **Посібник**

**для студентів галузей знань**  
**15 «Автоматизація та приладобудування»**  
**і 12 «Інформаційні технології»**  
**усіх спеціальностей і форм навчання**

Затверджено  
на засіданні вченої ради  
Протокол № 8 від 28.05.2020

Краматорськ  
ДДМА  
2020

**Рецензенти:**

*Чуб І. А.*, д-р техн. наук, професор, начальник кафедри «Пожежної профілактики в населених пунктах» Національного університету цивільного захисту України, м. Харків;

*Борисенко А. М.*, д-р техн. наук, професор, професор кафедри «Теоретичні основи електротехніки» НТУ «ХПИ», м. Харків.

**Єнікєєв О. Ф.**

Є 63 Схемотехніка та мікроелектроніка: посібник для студентів галузей знань 15 «Автоматизація та приладобудування» і 12 «Інформаційні технології» всіх спеціальностей і форм навчання / О. Ф. Єнікєєв, О. В. Разживін, О. В. Суботін. – Краматорськ : ДДМА, 2020. – 167 с.

ISBN 978-966-379-937-7

Викладаються принципи побудови електричних принципових схем апаратних засобів керування параметрами технологічних процесів на основі використання інтегральних мікросхем малого та середнього ступенів інтеграції. Запропоновано методи мінімізації структурних формул та синтезу цифрових пристроїв перетворення сигналів. Дослідження схем комп'ютерного моделювання процесів перетворення інформації апаратними засобами проведено на основі можливостей програмного середовища MatLab із розширенням Simulink.

**УДК 621.3.049.77**

ISBN 978-966-379-937-7

© О. Ф. Єнікєєв О. В. Разживін,  
О. В. Суботін, 2020

© ДДМА, 2020

## ЗМІСТ



ВСТУП .....	5
1 АНАЛОГОВІ ОБЧИСЛЮВАЛЬНІ ПРИСТРОЇ .....	6
1.1 Операційні підсилювачі .....	6
1.2 Повторювачі напруги .....	8
1.3 Інвертуючий підсилювач .....	12
1.4 Неінвертуючий підсилювач .....	15
1.5 Схема підсумовування сигналів на базі ОП .....	18
1.6 Схема складання-віднімання .....	21
1.7 Схеми інтегрування .....	23
1.8 Диференціючий підсилювач .....	29
1.9 Розв'язування диференціального рівняння .....	35
2 ОСНОВНІ СВДЧЕННЯ ІЗ ТЕОРІЇ АЛГЕБРИ ЛОГІКИ .....	43
2.1 Аксиоми, основні теореми та тотожності алгебри логіки .....	43
2.2 Властивості перемикальних функцій .....	45
2.3 Форми запису логічних функцій .....	46
2.4 Мінімізація структурних формул за допомогою методу Квайна та карт Карно .....	49
2.5 Методи мінімізації системи логічних функцій .....	54
3 МЕТОДИ СИНТЕЗУ ЦИФРОВИХ ПРИСТРОЇВ .....	59
3.1 Універсальні логічні елементи .....	59
3.2 Приклади побудови комбінаційних пристроїв .....	60
3.3 Загальна задача синтезу комбінаційних пристроїв .....	63
3.4 Проектування комбінаційних пристроїв, вільних від змагань сигналів .....	66
3.5 Засоби формального опису послідовнісних пристроїв .....	73
3.6 Канонічний метод проектування послідовнісних пристроїв .....	80
4 ТИПОВІ ПРИСТРОЇ СИСТЕМ КЕРУВАННЯ .....	85
4.1 Дешифратори, шифратори та перетворювачі кодів .....	85
4.2 Схеми порівняння кодів та контролю парності .....	89
4.3 Пристрої для підсумовування .....	91
4.4 Мультиплектори та демюльтиплектори .....	93
4.5 Тригери. Методи синтезу схем тригерів .....	104
4.6 Регістри .....	115
4.7 Лічильники імпульсів .....	121
4.8 Допоміжні цифрові пристрої .....	135
5 ЦИФРОВІ ПРИСТРОЇ ФОРМУВАННЯ ТА ОБРОБЛАННЯ ДИСКРЕТНИХ СИГНАЛІВ .....	139
5.1 Цифрові пристрої формування сигналів .....	139
5.2 Цифрові корелятори .....	140
5.3 Цифрові погодженні фільтри .....	143
5.4 Синтез логічних схем .....	145
5.5 Синтез комбінаційних схем на базі комутаторів .....	157
ЛІТЕРАТУРА .....	165

## **Перелік умовних позначень, символів, одиниць, скорочень і термінів**

АБО – функція диз'юнкції;  
АЦП – аналого-цифровий перетворювач;  
БП – блок пам'яті;  
ДНФ – диз'юнктивна нормальна форма;  
ЕП – елемент пам'яті;  
ЗДНФ – звершена диз'юнктивна нормальна форма;  
ЗКНФ – звершена кон'юнктивна нормальна форма;  
ЗП – запам'ятовуючий пристрій;  
І – функція кон'юнкції;  
ІС – інтегральна схема;  
КНФ – кон'юнктивна нормальна форма;  
КП – комбінаційний пристрій;  
ЛЕ – логічний елемент;  
ЛП – логічний перетворювач;  
ЛФ – логічна функція;  
НІ – функція заперечення;  
ОП – операційний підсилювач;  
ПЗП – постійний запам'ятовуючий пристрій;  
ПП – послідовний пристрій;  
СН – суматор-накопичувач;  
ЦАП – цифро-аналоговий перетворювач;  
ЦП – цифровий множник;  
ЦУ – цифровий пристрій формування послідовності чисел;  
ФВ – пристрій формування цифрового відгуку;  
ФНЧ – фільтр нижніх частот.

## ВСТУП

Упровадження сучасних інформаційних та енергозберігаючих технологій у машинобудівне виробництво України забезпечується апаратними засобами автоматизації технологічних процесів. Застосування відомих комп'ютерних систем має за мету скоротити час обробки деталі та отримати задану шорсткість поверхні, що забезпечує підвищення їхньої економічної ефективності.

Підвищений рівень випадкових завод є невід'ємною складовою виробничого середовища. Комп'ютерна система відрізняється широкою номенклатурою вхідних сигналів, фізичною природою каналів передачі даних, похибками вимірювань та оброблення інформації. Використання вимірювальних перетворювачів із компенсацією похибок підвищує точність вхідної інформації. Її структурну побудову орієнтовано на широке використання інтегральних мікросхем малого та середнього ступеня інтеграції. Засвоєння принципів організації аналогових та цифрових перетворювачів сигналів, методів мінімізації структурних формул та синтезу відповідних пристроїв дозволить розробити ефективні апаратні засоби із більшою продуктивністю й покращеними метрологічними характеристиками. Дослідження схем комп'ютерного моделювання процесів перетворення апаратними засобами вхідної інформації проведено на основі використання можливостей, які надає програмне середовище MatLab із розширенням Simulink.

Навчальний посібник охоплює питання, які пов'язано із побудовою функціональних та електричних принципових схем різноманітних компонент оброблення сигналів на основі використання інтегральних мікросхем малого та середнього ступеня інтеграції.

# 1 АНАЛОГОВІ ОБЧИСЛЮВАЛЬНІ ПРИСТРОЇ

Багато задач керування параметрами технологічних процесів описуються диференційними або інтегральними рівняннями, а також достатньо простими арифметичними діями. Розв'язання цих завдань можна виконати за допомогою аналогових обчислювальних пристроїв. Просте сполучення із первинними перетворювачами, можливість праці у реальному масштабі часу й достатньо висока точність обчислень обумовили їхнє широке використання.

## 1.1 Операційні підсилювачі

Операційний підсилювач (ОП) покладено у основу побудови аналогових обчислювальних пристроїв. Він являє собою підсилювальний пристрій із коефіцієнтом посилення  $K_0$  (межа складає  $10^3 \div 10^5$ ), великим входним (до 100 мОм) і малим вихідним ( $10 \div 100$  Ом) опорами, широкою смугою пропускання (до 100 МГц). На рис.1.1. показано зовнішні виводи ОП:  $+U$ ,  $-U$  – виводи для напруги живлення;  $FC$  – частотна корекція, використовуються для запобігання генерації ОП;  $U_{вих}$  – вихідна напруга, яка зазнала масштабування; інвертуючий вхід; неінвертуючий вхід;  $NC$  – виводи для регулювання напруги нуля.

Основні параметри:

1. Коефіцієнт посилення без зворотного зв'язку (А). Коефіцієнт посилення підсилювача під час відсутності зворотного зв'язку зазвичай дорівнює кільком тисячам. Називається також повним коефіцієнтом посилення за напругою.

2. Вхідна напруга зсуву нуля ( $U_{сдв}$ ). Невелика небажана напруга, яка виникає всередині ОП при нульовій напрузі на обох входах. Є наслідком неточного узгодження напруг емітер-база транзисторів. Зазвичай складає декілька мілівольт.

3. Вхідний струм зміщення ( $I_{см}$ ). Струм на входах підсилювача, який необхідний для роботи вхідного каскаду ОП.

4. Вхідний струм зсуву ( $I_{сдв}$ ) є різниця струмів зміщення, необхідних для двох вхідних транзисторів ОП. З'являється внаслідок неточного узгодження коефіцієнтів посилення за током ( $\beta$ ) вхідних транзисторів. Якщо  $I_{см1}$  – струм на інвертуючому вході, а  $I_{см2}$  – струм на неінвертуючому вході, то  $I_{сдв} = I_{см1} - I_{см2}$  (рис.1.6). Вхідний струм зсуву змінюється приблизно також, як і вхідна напруга, тому струм зсуву є змінною величиною. Зазвичай  $I_{сдв}$  лежить в діапазоні від 1 до 100 нА.

5. Вхідний опір ( $R_{вх}$ ) є опір ОП по відношенню до вхідного сигналу (до 100 мОм). Слід розрізняти диференціальний вхідний опір, т. е. опір між двома вхідними виводами, та синфазний вхідний опір, т. е. опір між об'єднаними

обом входами та землею. В описах мікросхем зазвичай не вказується, який із цих параметрів мається на увазі, й пишеться просто  $R_{вх}$ .

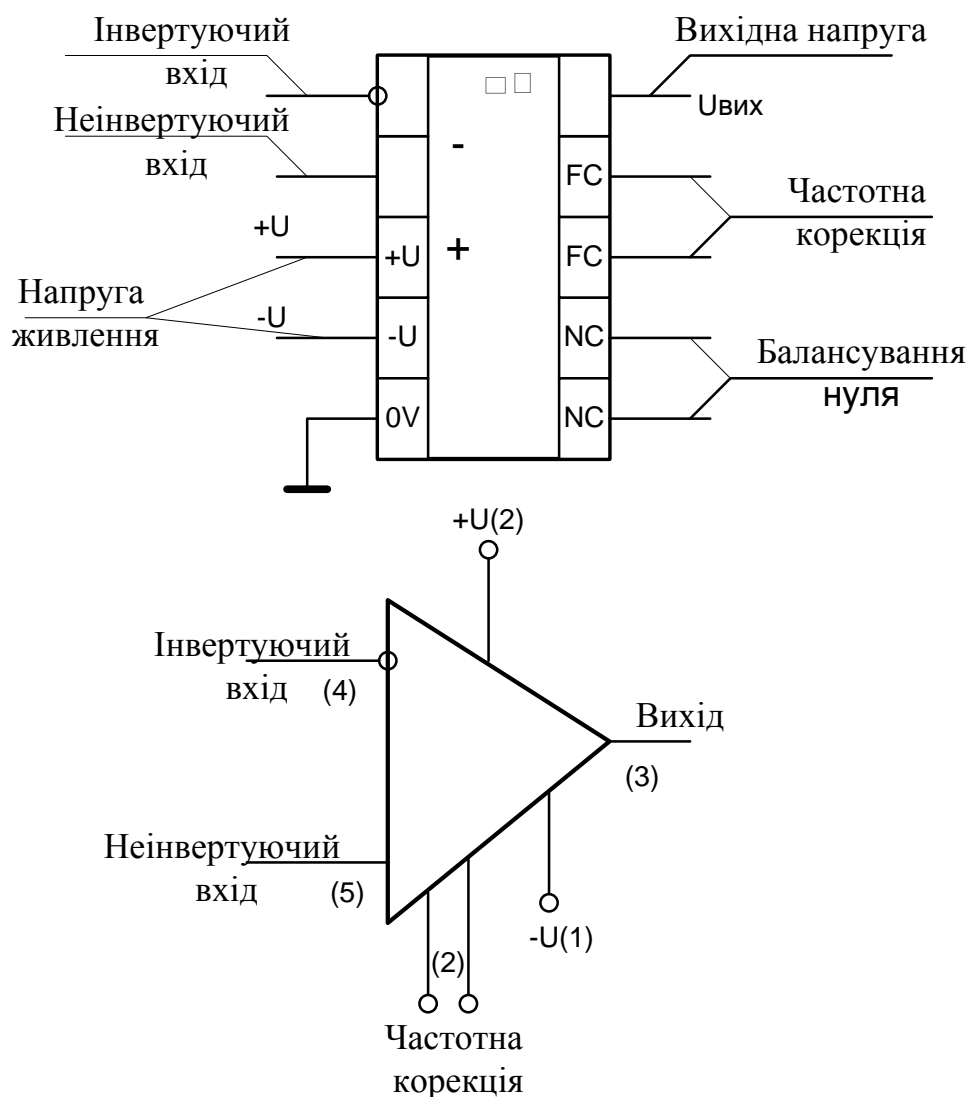


Рисунок 1.1 – Цоколювка ОП

6. Вихідний опір ( $R_{вих}$ ) є внутрішній опір ОП, про який можна судити за напругою на його виході. Зазвичай  $R_{вих}$ , не перевищує 1000 Ом.

7. Коефіцієнт ослаблення синфазних входних напруг є здатність послаблювати (не посилює) сигнали, прикладені до обох входів одночасно.

8. Коефіцієнт впливу нестабільності джерела живлення на вихідну напругу. Показує зміну вихідної напруги при зміні напруги живлення ( $+U$  та  $-U$  одночасно) на 1 В. Зазвичайно дається в мікрвольт на вольт.

9. Вхідна ємність ( $C_{вх}$ ) є ємність між входними виводами та землею.

10. Струм споживання ОП у режимі холостого ходу (без навантаження).

11. Потужність холостого ходу ОП.

12. Максимальна швидкість зростання вихідної напруги ( $V$ ) є швидкість зміни вихідної напруги, дана в вольт на мікросекунду.

### 13. Перехідна характеристика.

: несиметрична перехідна характеристика при завеликих сигналах. Сигнал на виході ОП при подачі на його вхід перепаду напруги. Час наростання і величина викиду вихідної напруги даються для стандартної зміни вхідної напруги.

14. Гранично допустимі значення. Сюди відносяться такі параметри, як максимальна потужність, робочий діапазон температур, максимальна напруга живлення, максимальна різниця вхідних напруг, максимальна напруга синфазних вхідних сигналів та інтервал температур зберігання. Перевищення цих максимальних значень призводить до пошкодження ОП. Ряд виробників включає в специфікації своїх ОП графіки багатьох інших параметрів. Сюди можуть відноситися залежності  $U_{вих.max}$  від  $R_n$ , або від напруги живлення,  $U_{сдв}$  та  $I_{см}$  від температури. Уважне вивчення специфікацій ОП є необхідною передумовою їхнього успішного використання.

Найбільш суттєві параметри, такі, як  $U_{сдв}$ , та струм, зазвичай даються при максимальній і мінімальній робочих температурах, а також при кімнатній температурі.

## 1.2 Повторювачі напруги

Призначення повторювачів напруги є узгодження за навантаженням різних компонент системи керування. У якості повторювача напруги із достатньо широкою полосою пропускання можна використати емітерний повторювач (рис. 1.2). Схема має один недолік

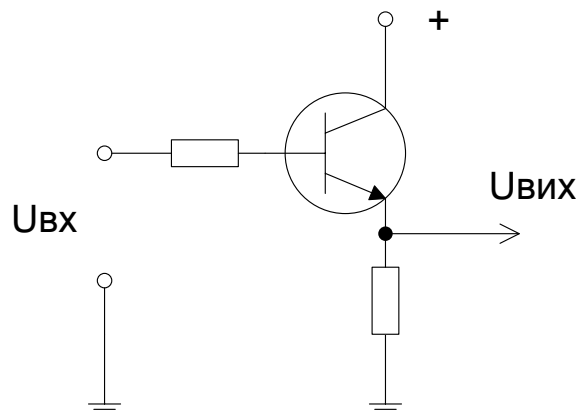


Рисунок 1.2 – Принципова схема повторювача напруги

Повторювач напруги може бути реалізований на базі ОП, який зображено на рис. 1.3. Коефіцієнт посилення схеми дорівнює одиниці оскільки опір зворотного зв'язку складає нуль. Різниця між  $U_{вх}$  та  $U_{вих}$  становить кілька мілівольт, визначається температурним та часовим дрейфом ОП.



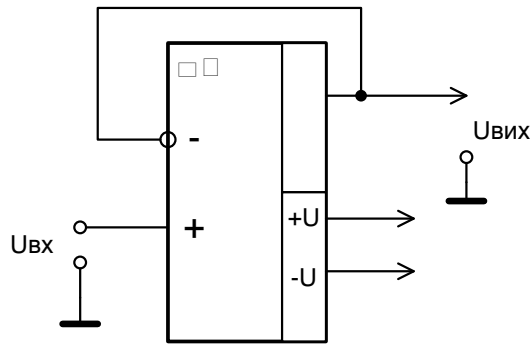


Рисунок 1.3 – Принципова схема повторювача напруги

*Приклад.* Виконаємо моделювання електричної принципової схеми повторювача напруги у програмному середовищі MatLab. Схему комп'ютерного моделювання процесу перетворення інформації наведено на рисунку 1.4.

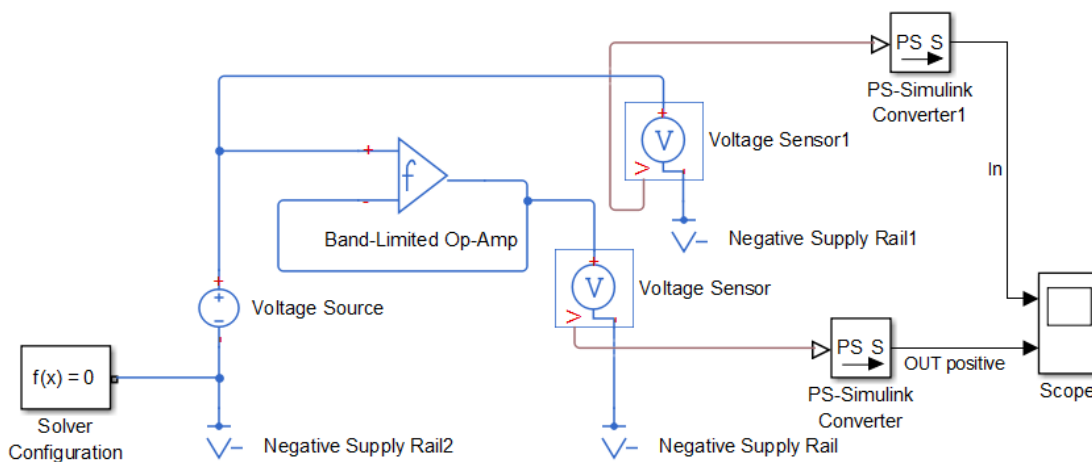


Рисунок 1.4 – Схема комп'ютерного моделювання процесу перетворення напруги на основі ОП

При складанні схеми комп'ютерного моделювання прийняті наступні параметри:

- 1) Band-Limited Op-Amp – ОП (рис. 1.5).
  - Посилення,  $A = 1 \cdot 10^6$ . Коефіцієнт посилення розімкненого контуру ОП. Значення за замовчуванням – 1000.
  - Вхідний опір,  $R_{in} = 10 \text{ МОм}$ . Опір на вході ОП, який блок використовує для розрахунку вхідного струму. Значення за замовчуванням:  $1 \cdot 10^6 \text{ Ом}$ .
  - Вихідний опір,  $R_{out} = 10 \text{ Ом}$ . Опір на виході ОП, який блок використовує для розрахунку падіння вихідного напруги через вихідного струму. Значення за замовчуванням – 100 Ом.
  - Мінімальна напруга,  $U_{min} = 15 \text{ В}$ . Нижня межа вихідної напруги без навантаження робочого ОП. Значення за замовчуванням -15 В.

- Максимальна напруга,  $U_{max} = 15$  В. Верхня межа вихідної напруги без навантаження робочого ОУ. Значення за замовчуванням 15 В.
- Максимальна швидкість наростання,  $U_{dot} = 1 \cdot 10^6$  В/с. Максимальна позитивна чи негативна швидкість зміни величини вихідної напруги. Значення за замовчуванням – 1000 В/с.
- Смуга пропускання,  $f = 10$  Гц. Смуга пропускання розімкненого контуру, тобто частота, з якою коефіцієнт посилення падає на 3 дБ у порівнянні з низькочастотним посиленням, А. Значення за замовчуванням  $1 \cdot 10^5$  Гц.
- Початкова вихідна напруга,  $U_0 = 0$  В. Вихідна напруга на початку моделювання, коли вихідний струм дорівнює нулю. Значення за замовчуванням 0 В.

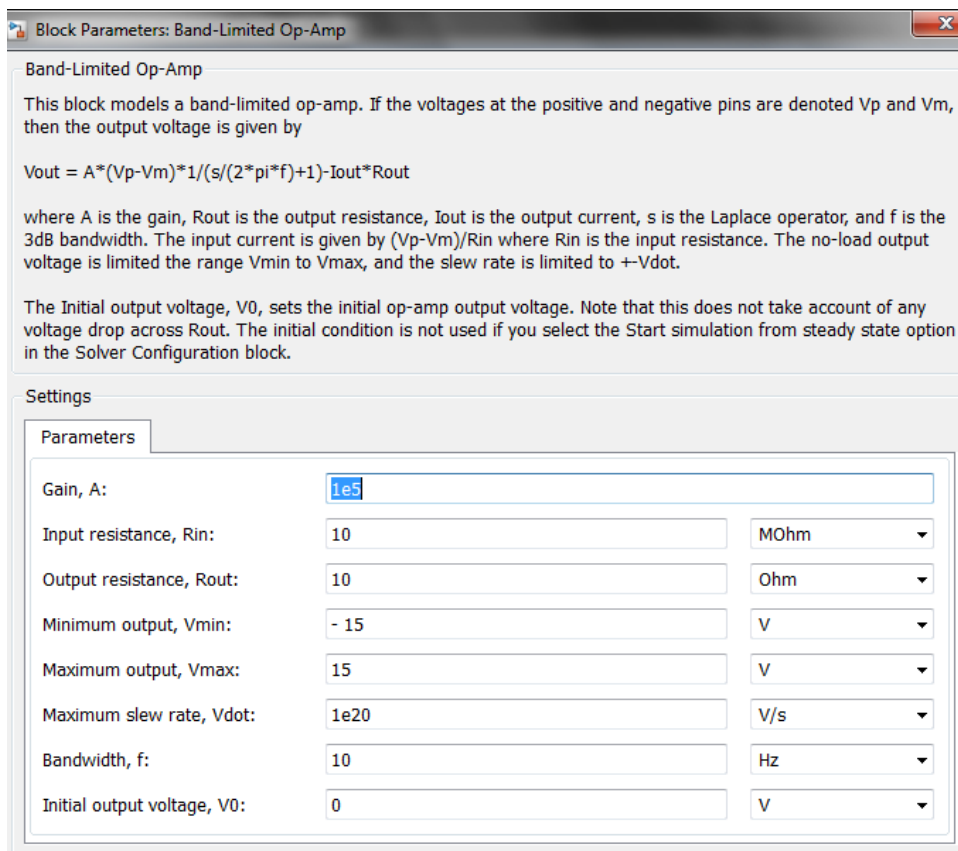


Рисунок 1.5 – Параметри налаштування ОП

- 2) Voltage Source – джерело напруги (рис. 1.6).
- Постійна напруга  $U_{DC} = 5$  В. Компонент постійного струму вихідної напруги. Значення за замовчуванням 0 В.
  - Пікова амплітуда змінної напруги  $U_{AC} = 5$  В. Амплітуда змінного струму вихідної напруги. Значення за замовчуванням дорівнює 0 В.
  - Фазовий зсув напруги змінного струму  $\varphi = 0$  градусів. Зсув фази змінного струму вихідної напруги. Значення за замовчуванням – 0 градусів.
  - Частота змінного струму  $f = 30$  Гц. Частота змінного струму вихідної напруги. Значення за замовчуванням – 60 Гц.

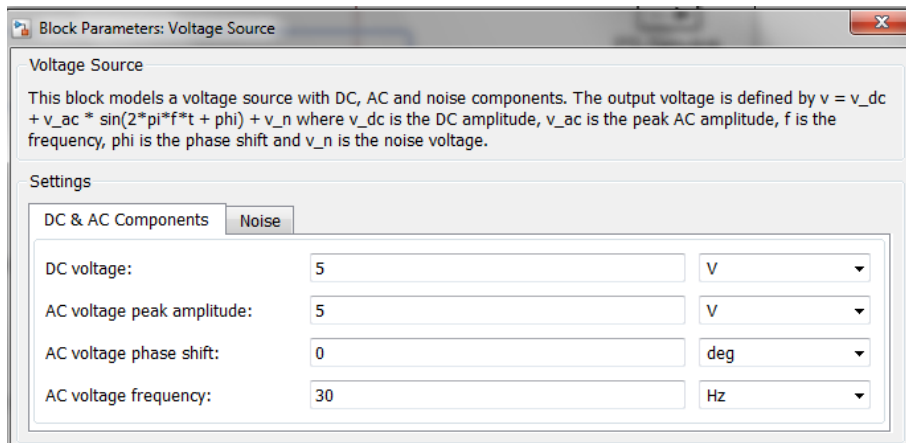


Рисунок 1.6 – Параметри налаштування джерела напруги

Результати комп'ютерного моделювання повторювача на базі ОП наведені на рис. 1.7. Як видно із перехідною характеристикою сигнал на виході ОП повністю повторює за формою та амплітудою синусоїдальний сигнал джерела живлення.

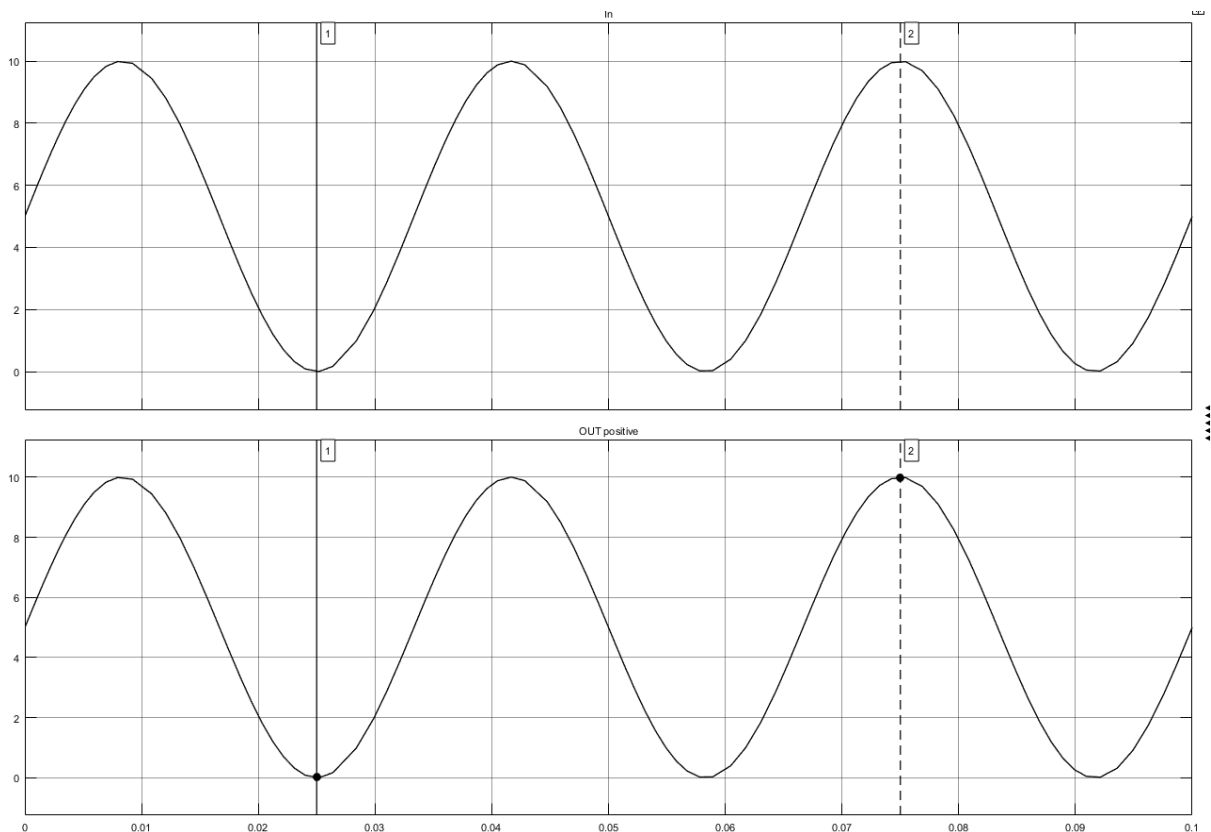
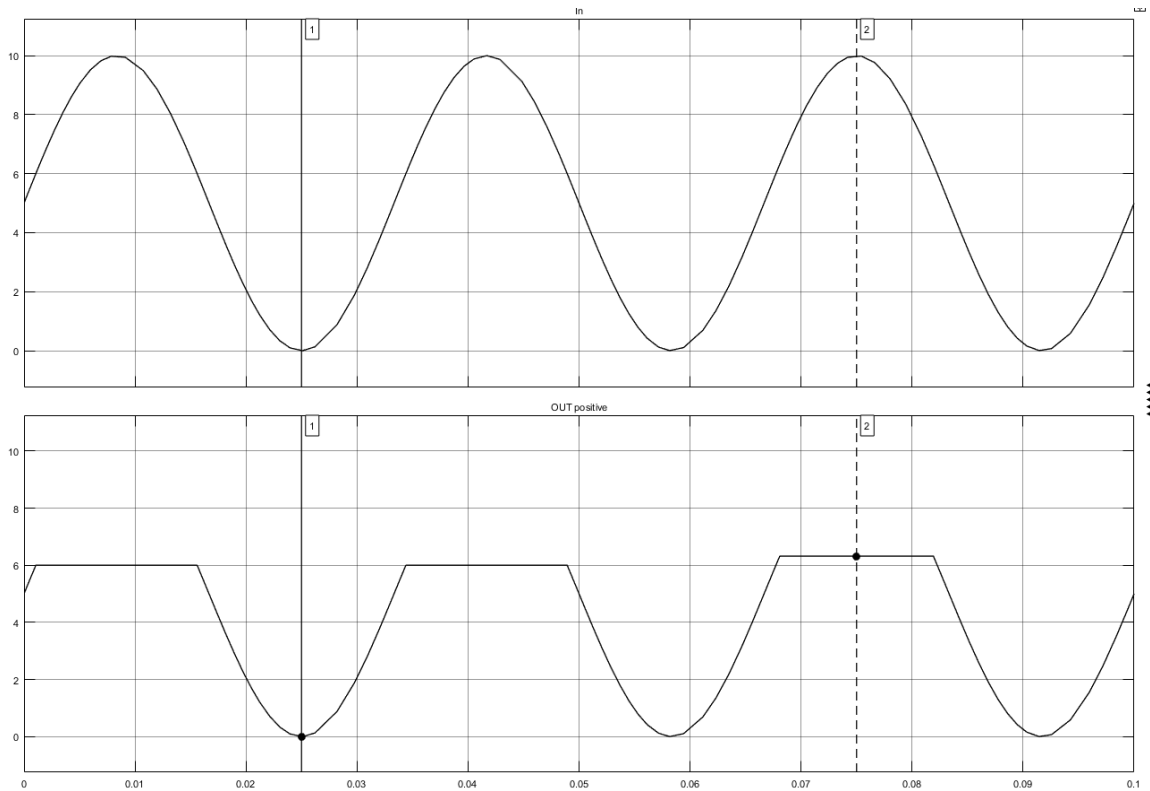


Рисунок 1.7 – Перехідна характеристика повторювача на базі ОП

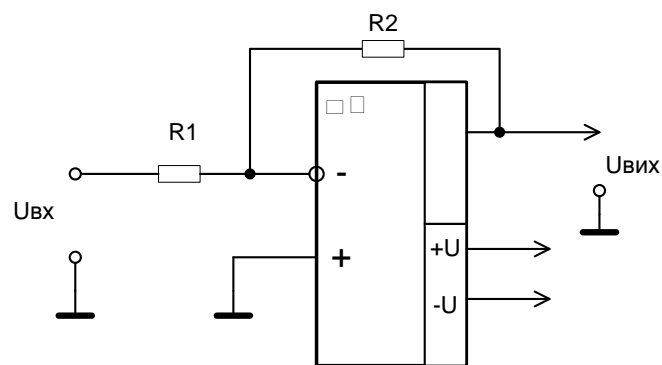
Змінимо налаштування в ОП, а саме встановимо верхню межу вихідної напруги без навантаження  $U_{max} = 6$  В. В результаті комп'ютерного моделювання отримаємо характеристики (рис. 1.8) на виході ОП із «обрізаною» амплітудою до 6 В вихідного сигналу.



*Рисунок 1.8 – Перехідна характеристика повторювача із «обрізаною» амплітудою*

### 1.3 Інвертуючий підсилювач

Принципову схему інвертуючого підсилювача показано на рис. 1.9.



*Рисунок 1.9 – Принципова схема інвертуючого підсилювача на ОП*

Коефіцієнт посилення зі зворотнім зв'язком дорівнює

$$K_{33} = \frac{U_{вих}}{U_{вх}} = -\frac{R_2}{R_1}$$

Отже, зв'язок між  $U_{\text{вх}}$  та  $U_{\text{вих}}$  описується виразом

$$U_{\text{вих}} = -\frac{R_2}{R_1} U_{\text{вх}}.$$

Вхідний опір даного підсилювача  $R_{\text{вх}} = R_1$ . Похибка перетворення визначається температурним та часовим дрейфом параметрів ОП і визначається за допомогою виразу

$$\delta = \frac{\Delta U}{U_{\text{вих}}},$$

де  $\Delta U$  – дрейф параметрів ОП, знаходиться із довідкових даних.

*Приклад.* Для схеми на рис. 1.9

а) обчислити  $K_{33}$  при  $R_1 = 20$  кОм та  $R_2 = 400$ кОм,  
$$K_{33} = \frac{R_2}{R_1} = -\frac{400}{20} = 20;$$

б) розрахувати  $R_2$ , якщо  $R_1 = 10$  кОм та  $K_{33} = 15$ ,  $K_{33} = \frac{R_2}{R_1}$ , тому

$$R_2 = -K_{33} R_1 = 15 \cdot 10 = 150 \text{ кОм};$$

в) обчислити  $R_1$ , якщо  $R_2 = 1$  мОм й  $K_{33} = -50$ .

$$R_1 = \frac{R_2}{K_{33}} = \frac{1 \cdot 10^6}{50} = 20 \text{ кОм}.$$

*Приклад.* Виконаємо моделювання електричної принципової схеми інвертуючого ОУ у програмному середовищі MatLab. При складанні схеми комп'ютерного моделювання враховано наступні параметри:

- напруга джерела живлення за постійним струмом 5В, за змінним з синусоїдальною формою сигналу має амплітуду 2В;

- активні опори  $R_1 = 10$ кОм,  $R_2 = 20$ кОм. Вхідний опір схеми інвертуючого ОП  $R_1$ , в силу того що завдяки зворотньому зв'язку (рис. 1.10) зберігається приблизно нульовий потенціал. Опір  $R_1$  має бути обраний таким, щоб не навантажувати джерело напруги  $U_{\text{вх}}$ .  $R_2$  має бути достатньо великим, щоб надмірно не навантажувати ОП.

Результати комп'ютерного моделювання наведено на рис. 1.11. Як видно із графіків перехідної характеристики ОП напругу на виході інвертовано й посилено у два рази, оскільки

$$K_{33} = \frac{R_2}{R_1} = -\frac{20}{10} = 2.$$

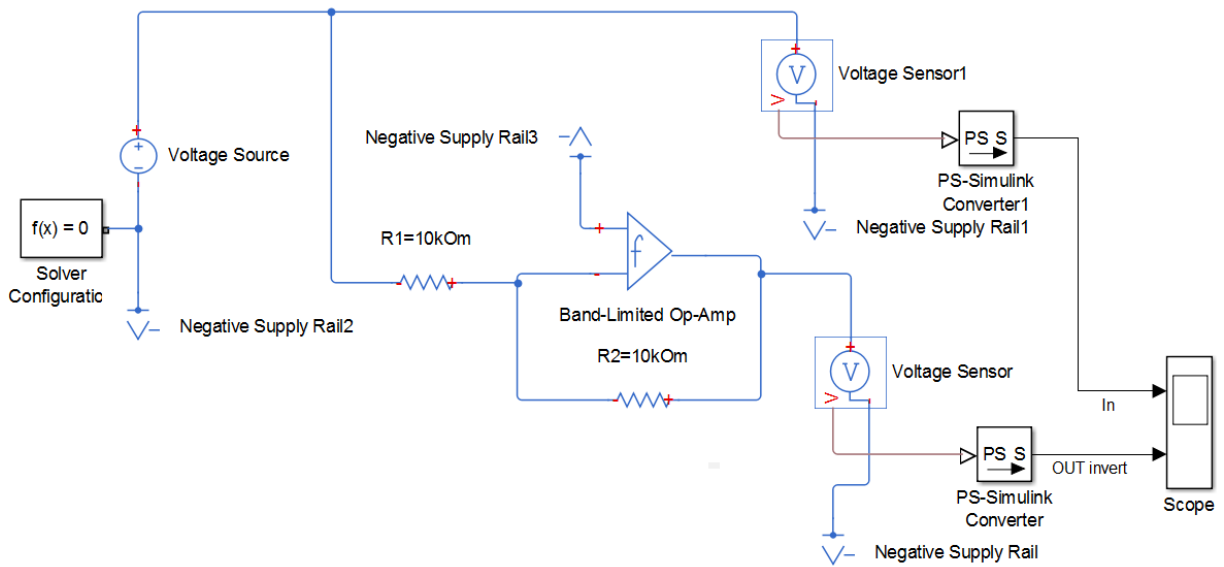


Рисунок 1.10 – Схема комп'ютерного моделювання процесу перетворення напруги інвертуючим підсилювачем на ОП

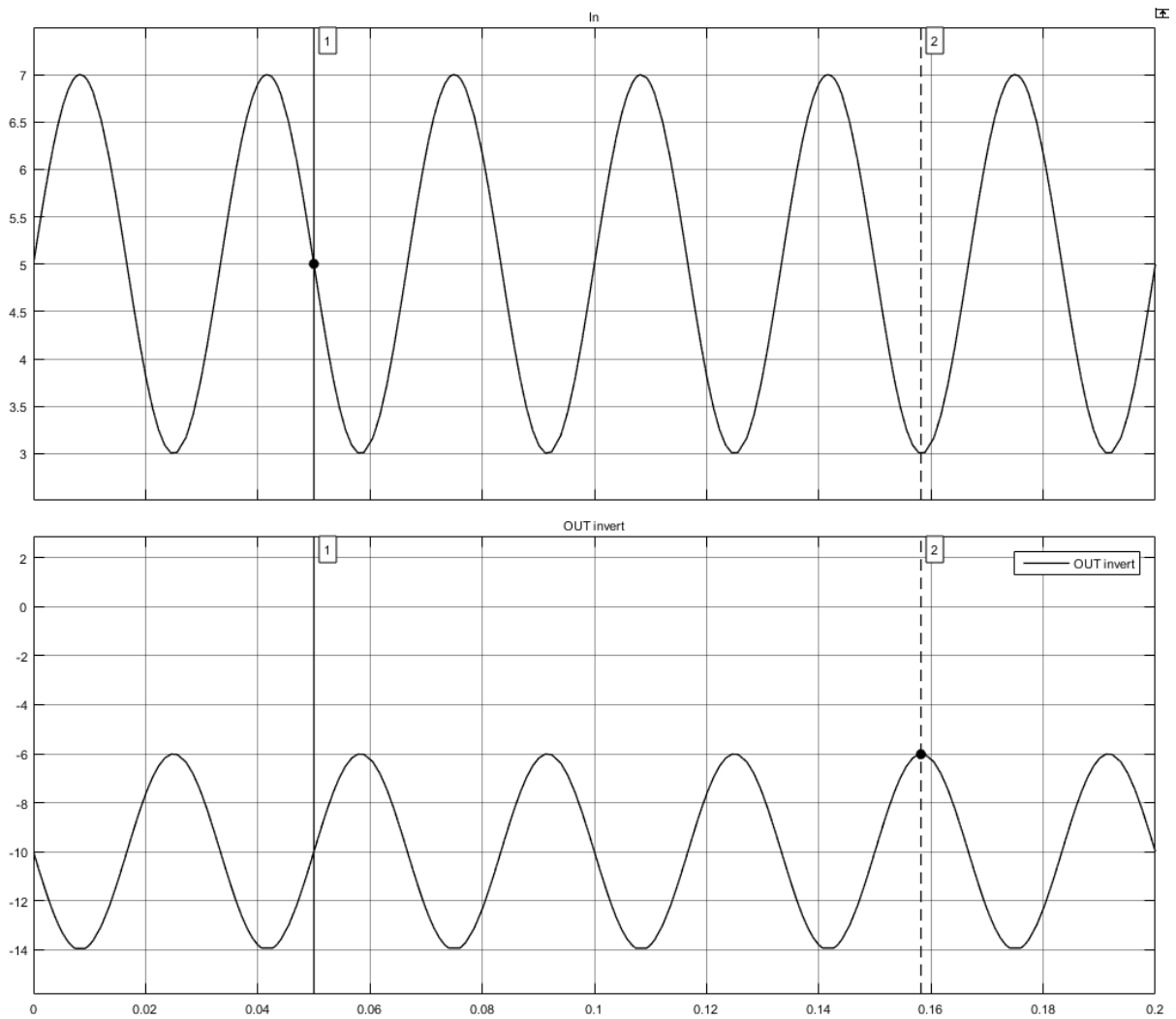


Рисунок 1.11 – Перехідна характеристика інвертуючого ОП

## 1.4 Неінвертуючий підсилювач

Електричну принципову схему неінвертуючого підсилювача наведено на рис. 1.12.

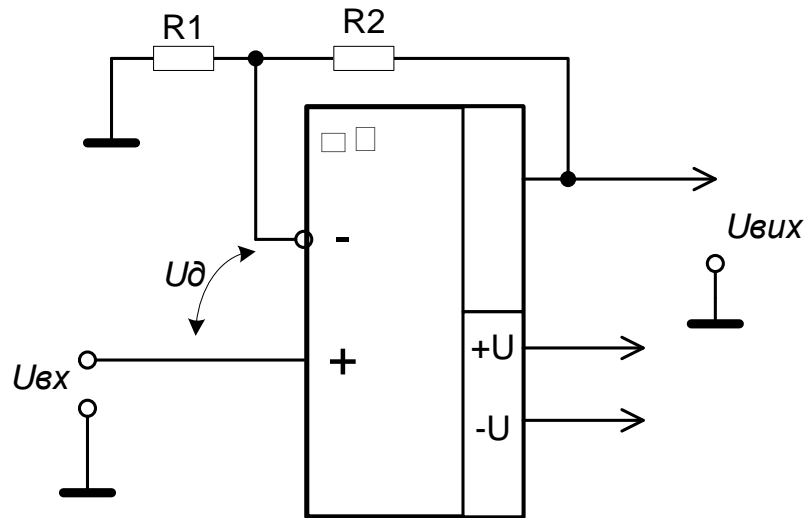


Рисунок 1.13 – Принципова схема неінвертуючого підсилювача на ОП

Схема дозволяє використовувати ОП в якості неінвертуючого підсилювача з входним опором, причому коефіцієнт посилення всієї схеми по напрузі може бути заданий за допомогою опорів  $R_1$  і  $R_2$ .

Опори  $R_1$  та  $R_2$  утворюють подільник напруги із дуже малим навантаженням. Це можливо тому, що струм управління ОП, дуже малий за величиною ( $I_{cm} \approx 0$ ). Тому через  $R_1$  та  $R_2$ , тече однаковий струм. Щоб отримати вираз для коефіцієнта посилення схеми, прийmemo, що  $I_{R_1} = I_{R_2}$  так як  $R \rightarrow \infty$  маємо

$$I_{R_1} = \frac{U_{R_1}}{R_1} \text{ та } I_{R_2} = \frac{U_{R_2}}{R_2}.$$

Напруга на вході інвертуючого підсилювача дорівнює  $U_{вх} + U_{\partial}$ , тому

$$I_{R_1} = \frac{U_{вх} + U_{\partial}}{R_1},$$

отже, маємо

$$\frac{U_{вх} + U_{\partial}}{R_1} = \frac{U_{вих} - (U_{вх} + U_{\partial})}{R_2}.$$

Оскільки  $U_{вих} = AU_{\partial}$ , тому що  $A \rightarrow \infty$  та  $U_{\partial} \approx 0$ , можна записати наступний вираз

$$\frac{U_{\partial x}}{R_1} = \frac{U_{вих} - U_{\partial x}}{R_2}.$$

Звідси знайдемо коефіцієнт посилення схеми  $U_{вих} / U_{\partial x}$ , який зазвичайно називають коефіцієнтом посилення із замкненим зворотним зв'язком  $K_{33}$  або коефіцієнтом посилення замкнутого ОП. Вирішуючи рівняння відносно  $K_{33}U_{\partial x}R_2 = R_1U_{вих} - R_1U_{\partial x}$  отримаємо таке

$$K_{33} = \frac{R_2}{R_1} + 1 = \frac{U_{вих}}{U_{\partial x}}.$$

Таким чином, значення опорів  $R_1$  та  $R_2$  визначають коефіцієнт посилення схеми за напругою. Формула для коефіцієнта посилення із замкненим зворотним зв'язком неінвертуючого підсилювача

$$U_{вих} = U_{\partial x} \left( \frac{R_2}{R_1} + 1 \right).$$

Звідси можна встановити зв'язок між  $U_{вих}$  і  $U_{\partial x}$ . Слід, також відзначити, що опір даної схеми включення дорівнює вхідному опору  $R_{\partial x} = R_{on}$ . Похибка перетворення визначається температурним та часовим дрейфом параметрів ОП.

*Приклад.* Для  $R_1 = 10 \text{ кОм}$  й  $K_{33} = 20$  отримуємо у результаті розрахунків  $R_2 = (20 - 10) \cdot 10 \cdot 10^3 = 190 \text{ кОм}$ . Якби були задані  $R_2$  і  $K_{33}$ , то довелось б вирішувати вираз  $K_{33}$  щодо  $R_1$

$$K_{oc} = \frac{R_{oc}}{R_1} + 1; \quad K_{oc} - 1 = \frac{R_{oc}}{R_1}; \quad R_1 = \frac{R_{oc}}{K_{oc} - 1}.$$

Якщо  $K_{oc} = 20$  та  $R_2 = 200 \text{ кОм}$ , то  $R_1 = \frac{200 \cdot 10^3}{19} = 10,5 \text{ кОм}$ .

Максимально допустиме значення суми  $R_1 + R_{oc}$  визначається струмом зміщення. Спосіб обчислити максимум  $R_1 + R_{oc}$  полягає в тому, щоб покласти  $I_{R_2} = 20I_{cm}$  при  $U_{вих} = +\frac{U}{2}$ . Де  $U$  – напруга джерела живлення. Тоді

$$(R_1 + R_f)_{\max} = +\frac{U/2}{20I_{cm}}. (R_1 + R_f) - \text{опір еквівалентний опору ділянки між}$$

$U_{вих}$  і загальним проводом, залежний від типу ОП. Наприклад, для мікросхеми К140УД7  $I_{cm(max)} = 500 \text{ нА}$ .



Тому при  $+U = |-U| = 15B$  отримаємо

$$(R_1 + R_f)_{\max} = \frac{7,5}{10 \cdot 10^{-3}} = 750 \text{кОм}.$$

У більшості практичних випадків використовуються більш низькі значення суми  $R_1 + R_2$  щоб звести до мінімуму шуми. Мінімальне значення суми  $R_1 + R_2$  обмежується вихідним струмом ОП. Для мікросхеми К140УД7 це становить близько 2 кОм. Однак настільки низькі значення використовуються рідко, оскільки в цьому випадку вихідного струму вже не вистачає для корисного навантаження. Зазвичай значення суми  $R_1 + R_2$  лежить між 50 кОм та 1 МОм.

*Приклад.* Для схеми (рис. 1.13) побудуємо схему комп'ютерного моделювання процесу перетворення сигналу у програмному середовищі MatLab (рис. 1.14). При моделюванні прийняті наступні параметри:

- напруга джерела живлення по постійному струму 2В;
- активні опори  $R_1 = 10\text{кОм}$ ,  $R_2 = 5\text{кОм}$ .

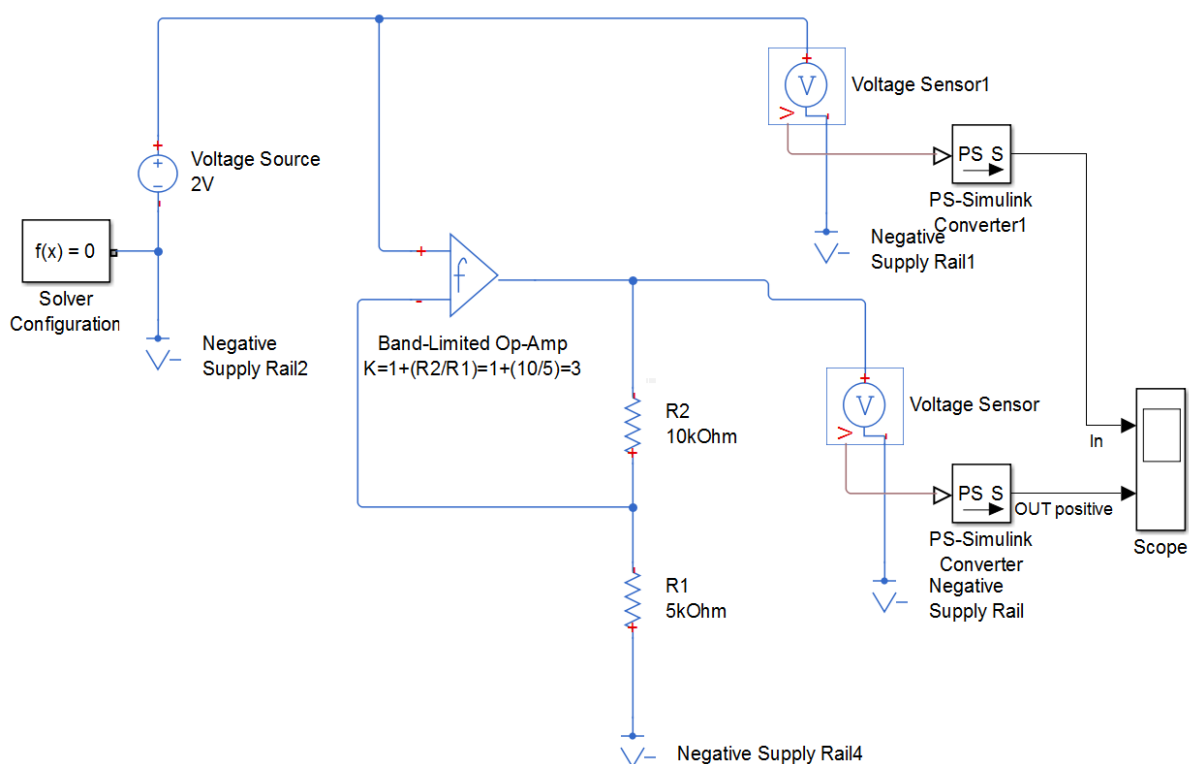


Рисунок 1.14 – Схема комп'ютерного моделювання процесу перетворення напруги неінвертуючим підсилювачем на ОП

Результати моделювання наведено на рис. 1.15.

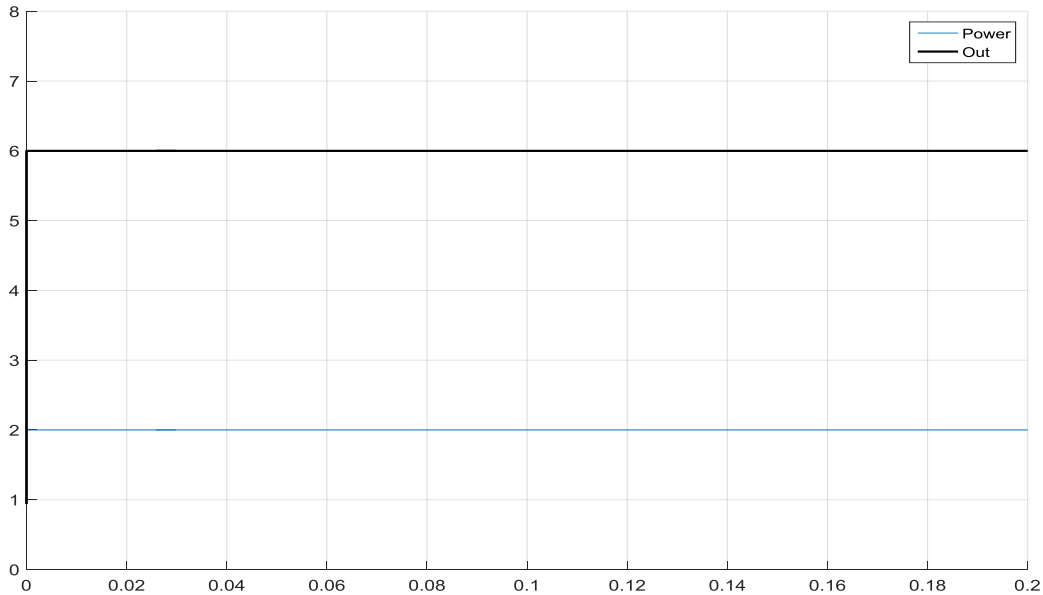


Рисунок 1.15 – Перехідна характеристика неінвертуючого ОП

Як видно на графіках перехідної характеристики напруга на виході ОП посилена у три рази, оскільки

$$K_{33} = 1 + \frac{R_2}{R_1} = 1 + \frac{10}{5} \cdot 10^3 = 3.$$

### 1.5 Схема підсумовування сигналів

Для підсумовування декількох напруг можна застосувати ОП у інвертуючому режимі. Вхідні напруги через додаткові резистори подаються на інвертуючий вхід ОП. Схему підсумовування показано на рис. 1.16.

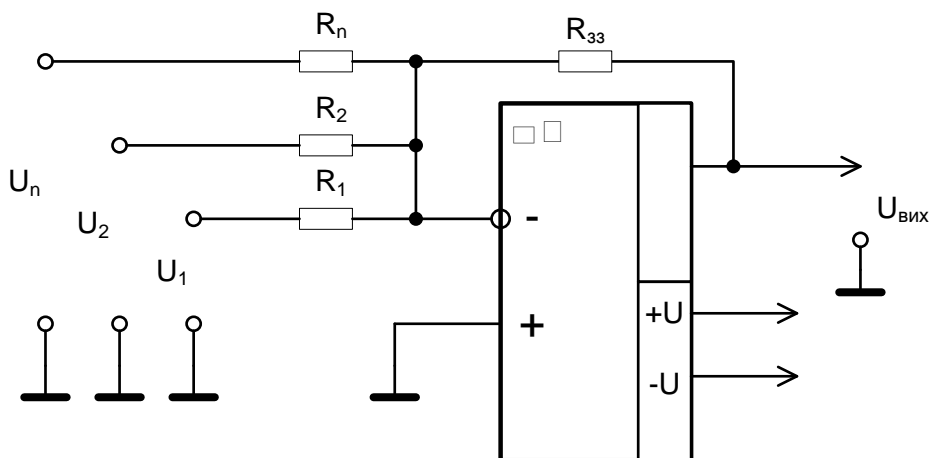


Рисунок 1.16 – Схема підсумовування на базі ОП

Оскільки інвертуючий вхід є нулем, то на підставі правила вузлів отримаємо наступне співвідношення для вхідної напруги

$$\frac{U_1}{R_1} + \frac{U_2}{R_2} + \dots + \frac{U_n}{R_n} + \frac{U_{вих}}{R_{33}} = 0.$$

Звідси маємо

$$-U_{вих} = \frac{R_{33}}{R_1} U_1 + \frac{R_{33}}{R_2} U_2 + \dots + \frac{R_{33}}{R_n} U_n.$$

Схеми для підсумовувань можуть працювати як при постійних, так і при змінних напругах. Якщо підсумовуються змінні напруги, то значення величин доводиться обчислювати у вигляді  $U = a \sin \omega t$ . В окремому випадку, коли всі вхідні змінні напруги синфазні, то можна використовувати пікові або, якщо це зручніше, ефективні значення напруг. Інвертуючий суматор може бути використано як підсилювач із широким діапазоном зміни нульової точки. Для цього на один із входів схеми подають постійну напругу.

*Приклад.* Знайти  $U_{вих}$ , якщо на рис. 1.16  $R_1 = 20\text{кОм}$ ,  $R_2 = 50\text{кОм}$ ,  $R_3 = 25\text{кОм}$  та  $R_{33} = 100\text{кОм}$  і, якщо  $U_1 = 1\text{В}$ ,  $U_2 = 2\text{В}$  й  $U_3 = -3\text{В}$ .

$$U_{вих} = -\left(\frac{U_1 R_{33}}{R_1} + \frac{U_2 R_{33}}{R_2} + \frac{U_3 R_{33}}{R_3}\right) = -\left(\frac{1 \cdot 100}{20} + \frac{2 \cdot 100}{50} - \frac{3 \cdot 100}{25}\right) = 3\text{В}.$$

Побудуємо схему комп'ютерного моделювання процесу перетворення сигналу у програмному середовищі MatLab(рис. 1.16) із наведеними вище вихідними даними. Схему наведено нарис. 1.17.

Результати комп'ютерного моделювання наведено на рис. 1.18. Як видно із характеристики вихідна напруга на виході ОП відповідає розрахунковим значенням.

*Приклад.* Знайти  $R_1$ ,  $R_2$  й  $R_3$ , такі, щоб в схемі на рис. 1.16.  $U_{вих} = -(6U_1 + 3U_2 + 4U_3)$ ,  $R_{33} = 200\text{кОм}$ .

*Рішення.* Розглянемо коефіцієнти посилення окремо для кожного входу. Ці коефіцієнти посилення повинні бути відповідно рівні: 6 для входу  $U_1$ , 3 для входу  $U_2$  й 4 для входу  $U_3$ . Вирішуючи щодо  $R_1$  рівняння  $6U_1 = U_1 \frac{R_{33}}{R_1}$ , отримаємо

$$R_1 = \frac{R_{33}}{6} = \frac{200}{6} = 33,3, \text{кОм}.$$

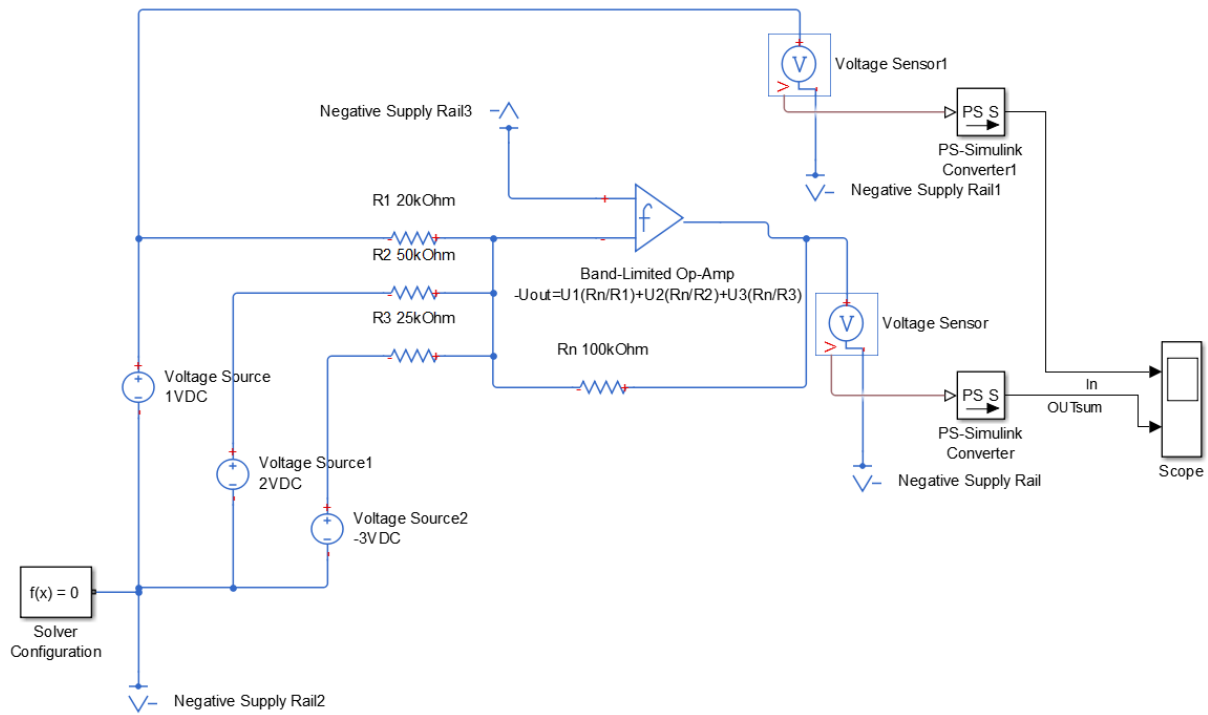


Рисунок 1.17 – Схема комп'ютерного моделювання процесу підсумовування постійних напруг

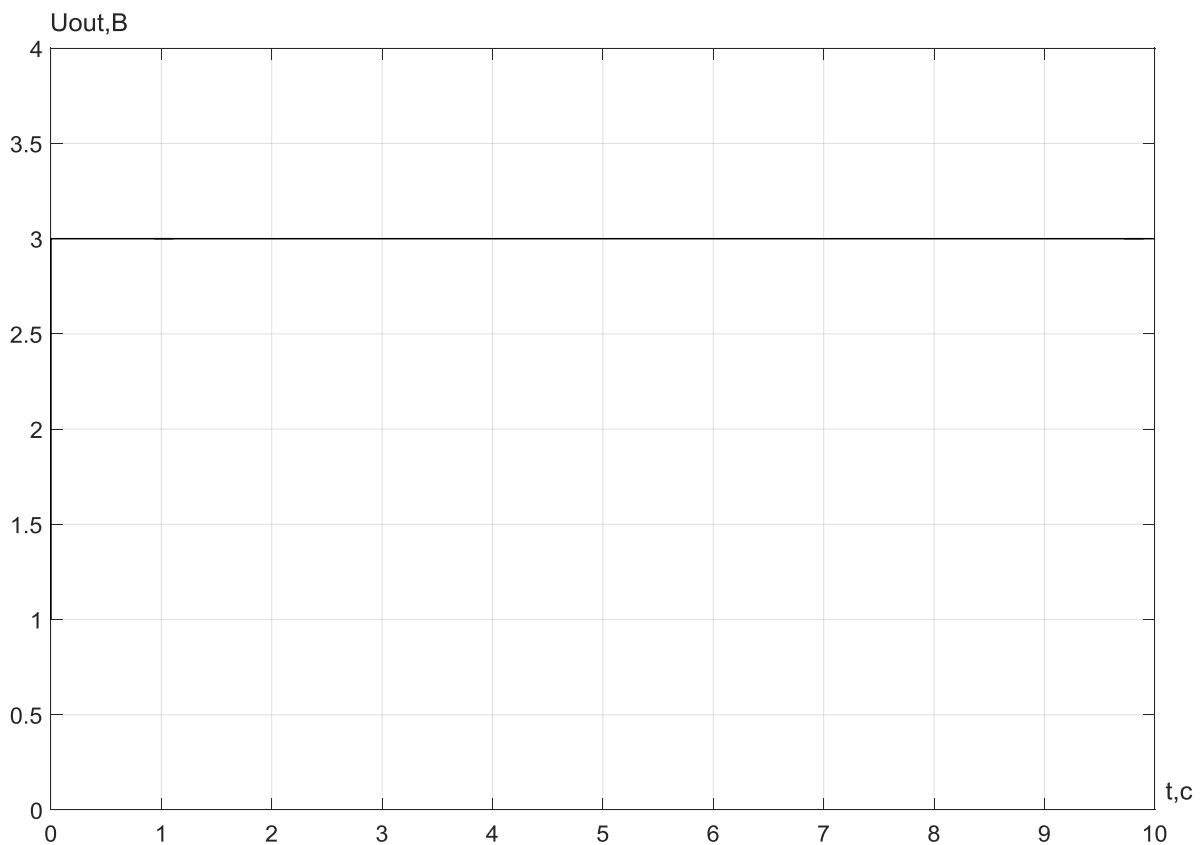


Рисунок 1.18 – Результати комп'ютерного моделювання

Аналогічним образом отримаємо  $R_2 = \frac{R_{33}}{3} = \frac{200}{3} = 66,6$  тому й  $R_3 = \frac{R_{33}}{4} = \frac{200}{4} = 50$ кОм. Якщо узагальнити на випадок схеми із  $n$  входами, одержимо співвідношення

$$U_{\text{вих}} = - \left( \frac{U_1 R_{33}}{R_1} + \frac{U_2 R_{33}}{R_2} + \frac{U_3 R_{33}}{R_3} + \dots + \frac{U_m R_{33}}{R_m} \right)$$

*Схема усереднення.* Якщо в схемі на рис. 1.16 покласти  $R_1 = R_2 = R_3 = \dots = R_n$  й  $R_{33} = \frac{R_1}{n}$ , отримаємо

$$U_{\text{вих}} = - \left( \frac{U_1 + U_2 + U_3 + \dots + U_n}{n} \right)$$

*Приклад.* Побудувати схему на рис. 1.16 таким чином, щоб вона здійснювала усереднення трьох вхідних сигналів.

*Рішення:* покладемо  $R_1 = R_2 = R_3 = 200$  ком й  $R_{33} = \frac{R_1}{n}$ , Тобто  $\frac{200}{3} = 66,6$  кОм. Відзначимо, що в схемі усереднення  $R_{33} = R_1 \parallel R_2 \parallel \dots \parallel R_n$ . Що дозволяє здійснити усереднення із вагами. Схема усереднення це окремий випадок інвертуючого суматора.

*Зауваження.* Опір в колі зворотного зв'язку вибирається таким чином, щоб його струм був набагато більше струму зміщення ОП і в той же час не перевищував значень, які ОП міг би забезпечити разом із необхідним струмом навантаження. Для більшості ОП діапазон можливих значень опору зворотного зв'язку досить широкий.

## 1.6 Схема складання-віднімання

Схему складання-віднімання показано на рис. 1.19. Вираз для вихідної напруги такий

$$U_{\text{вих}} = U_3 \left( \frac{R'_{33}}{R'_1} \right) + U_4 \left( \frac{R'_{33}}{R'_2} \right) - U_1 \left( \frac{R_{33}}{R_1} \right) - U_2 \left( \frac{R_{33}}{R_2} \right) \text{ при } \frac{R_{33}}{R_1} + \frac{R_{33}}{R_2} = \frac{R'_{33}}{R'_1} + \frac{R'_{33}}{R'_2}.$$

Загальний вираз для вихідної напруги схеми складання-віднімання дуже громіздкий, тому ми розглянемо тільки умови, виконання яких необхідне для роботи цієї схеми.

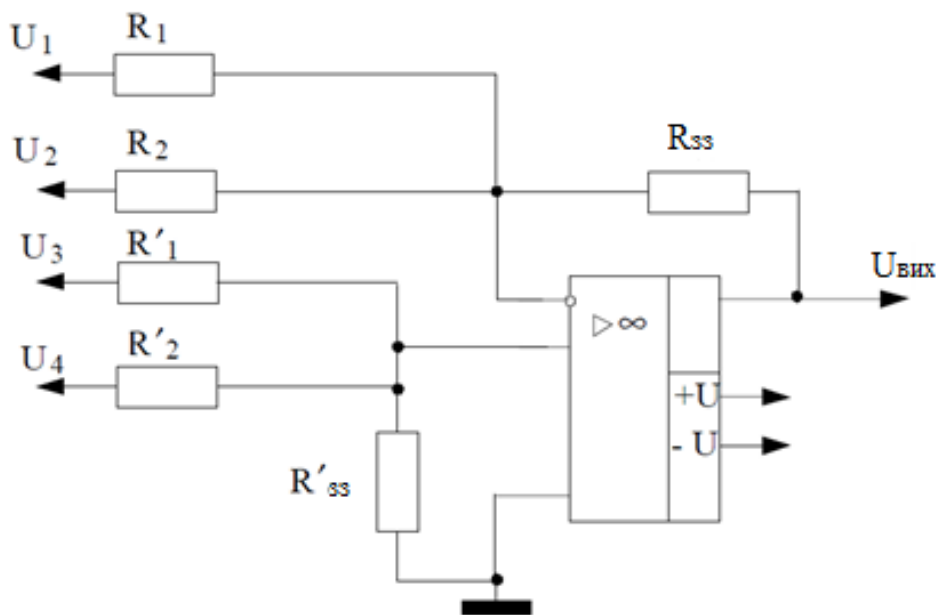


Рисунок 1.19 – Схема складання-віднімання на ОП

Умови виконання правильної роботи схеми зводяться, до того, щоб сума коефіцієнтів посилення інвертуючої частини дорівнювала сумі коефіцієнтів посилення її неінвертуючої частини. Тобто інвертуючий та неінвертуючий коефіцієнти підсилення повинні збалансувати, а саме

$$\frac{R_{33}}{R_1} + \frac{R_{33}}{R_2} + \dots + \frac{R_{33}}{R_m} = \frac{R'_{33}}{R'_1} + \frac{R'_{33}}{R'_2} + \dots + \frac{R'_{33}}{R'_n}.$$

де  $m$  – число інвертуючих входів, а  $n$  – число неінвертуючих; звідси маємо

$$U_{вих} = - \left( U_1 \frac{R_{33}}{R_1} + U_2 \frac{R_{33}}{R_2} + \dots + U_m \frac{R_{33}}{R_m} \right) + \left( U_{m+1} \frac{R'_{33}}{R'_1} + U_{m+2} \frac{R'_{33}}{R'_2} + \dots + U_{m+n} \frac{R'_{33}}{R'_n} \right).$$

*Приклад.* Нехай в схемі 1.19 маємо  $U_1 = U_2 = 1\text{В}$ ,  $U_3 = U_4 = 2\text{В}$ ,  $R_{33} = 200\text{кОм}$ ,  $R'_{33} = 100\text{кОм}$ ,  $R_1 = 100\text{кОм}$ ,  $R_2 = 25\text{кОм}$ ,  $R_3 = 25\text{кОм}$  і  $R_4 = 16,67\text{кОм}$ .

Необхідно: Перевірити чи виконується умова балансу? Визначити чому дорівнює  $U_{вих}$ ?

*Рішення:*

Перевіримо баланс

$$\frac{R_{33}}{R_1} + \frac{R_{33}}{R_2} = \frac{R'_{33}}{R'_1} + \frac{R'_{33}}{R'_2};$$

$$\frac{200}{100} + \frac{200}{25} = \frac{100}{25} + \frac{100}{16,67};$$

$$2 + 8 = 10; 4 + 6 = 10$$

Таким чином, баланс має місце. Визначимо значення  $U_{вих}$

$$U_{вих} = U_3 \frac{R'_{33}}{R'_1} + U_4 \frac{R'_{33}}{R'_2} - U_1 \frac{R_{33}}{R_1} - U_2 \frac{R_{33}}{R_2};$$

$$U_{вих} = 2 \frac{100}{25} + 2 \frac{100}{16,67} - 1 \frac{200}{100} - 1 \frac{200}{25} = 10 \text{ В.}$$

тому  $U_{вих} = 10 \text{ В.}$

## 1.7 Схеми інтегрування

Інтегрування можна подати як визначення площі під кривою. Оскільки інтегратор на ОП виробляє дії над напругою протягом деякого періоду часу, то результат його роботи можна інтерпретувати як суму напруг за деякий час. Схему інтегратора на ОП наведено на рис. 1.20.

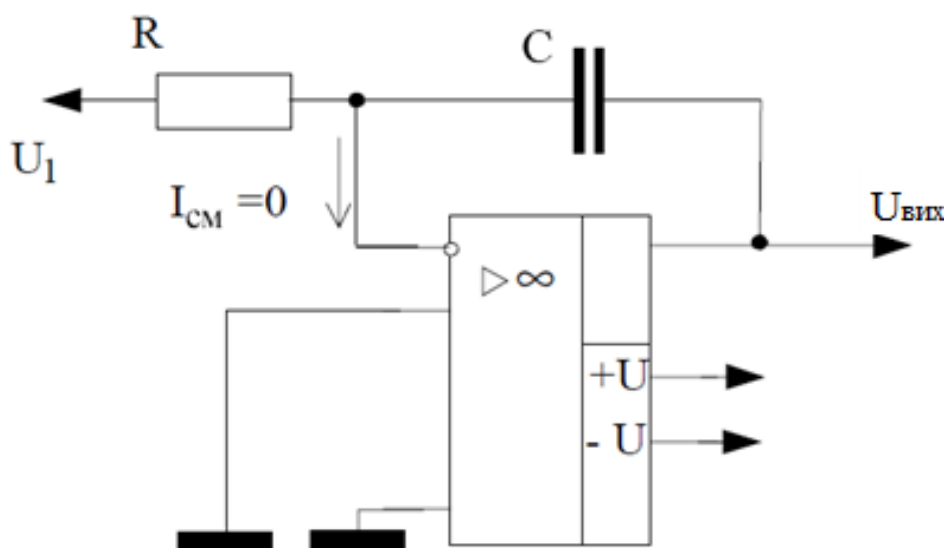


Рисунок 1.20 – Інтегратор на ОП

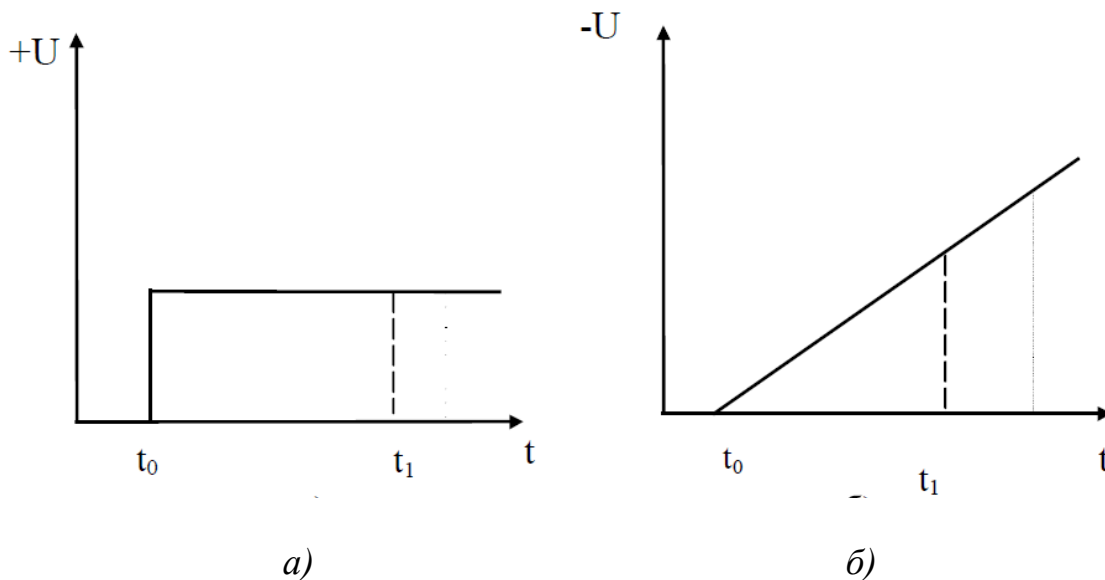
Найбільш важливе значення для аналогових обчислювальних пристроїв має застосування ОП для реалізація операцій інтегрування. У загальному випадку ця процедура описується виразом

$$U_{\text{вих}} = -\frac{1}{RC} \int U_{\text{вх}}(t) dt + U_{\text{вих}}(0).$$

Межами інтегрування у цьому рівнянні є моменти часу  $t_1$  й  $t_2$ , тобто початок та кінець інтервалу часу спостереження сигналу. Постійний член  $U_{\text{вих}}(0)$  визначає початкові умови інтегрування. За допомогою спеціальних заходів можна реалізувати будь-які початкові умови. Розглянемо інтеграл від деяких часто зустрічаються сигналів.

*Приклад.*

а) Як буде виглядати сигнал на виході інтегратора, якщо на його вхід подати ступінчастий сигнал, форму якого показано на рис. 1.21.а.



*а – вхідний сигнал, б – вихідний сигнал*

*Рисунок 1.21 – Реакція інтегратора на ступінчастий сигнал*

б) Якщо  $R_1 = 1\text{МОм}$ ,  $C = 0,1\text{мкФ}$  й  $U_{\text{вх}} = 1\text{В}$ , то чому дорівнюватиме  $U_{\text{вих}}$  через 3 мс після моменту  $t_0$ ?

*Рішення:*

а) записуючи вхідний ступінчастий сигнал як функцію часу, отримаємо  $U_1 = U$  при  $t \geq t_0$ ,  $U_1 = 0$  при  $t < t_0$ . Використовуючи перше із цих умов, інтегруємо й отримуємо таке

$$U_{\text{вих}} = -\frac{1}{RC} \int U_1 dt = -\frac{1}{RC} U t.$$



Таким чином, зміна вихідної напруги в часі являє собою похилу пряму із полярністю, яка протилежна полярності вхідного сигналу. Побудуємо схему комп'ютерного моделювання процесу перетворення сигналу у програмному середовищі MatLab із відповідними вихідними даними. Схему комп'ютерного моделювання процесу перетворення сигналу інтегратором на базі ОП наведено на рисунку 1.22

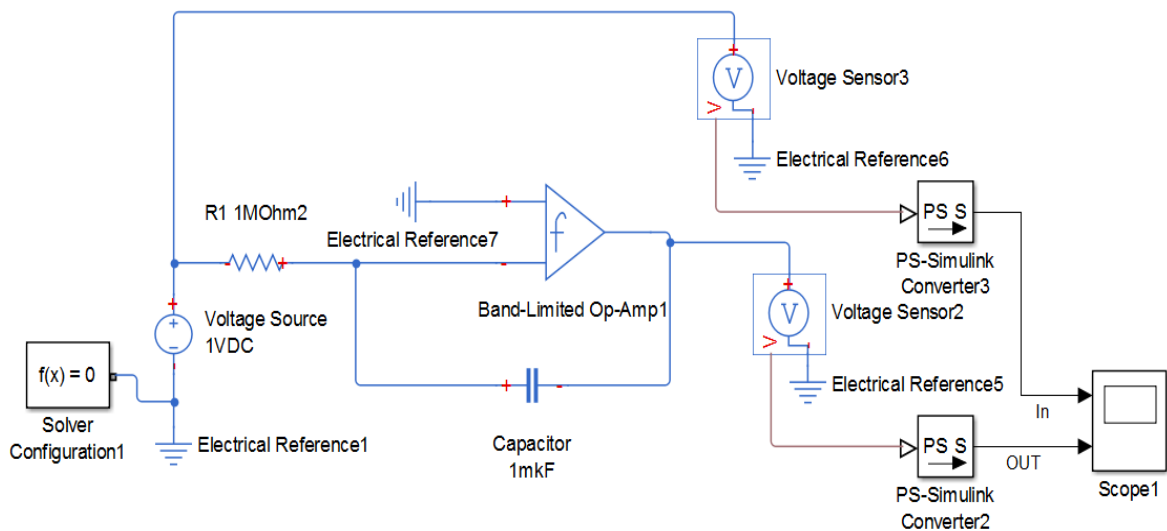


Рисунок 1.22 – Схема комп'ютерного моделювання процесу перетворення сигналу інтегратором на базі ОП

Результати комп'ютерного моделювання наведено на рисунку 1.23. Як видно із характеристики реакцією інтегратора на «одиничний скачок» є інвертована лінійно зростаюча вихідна напруга.

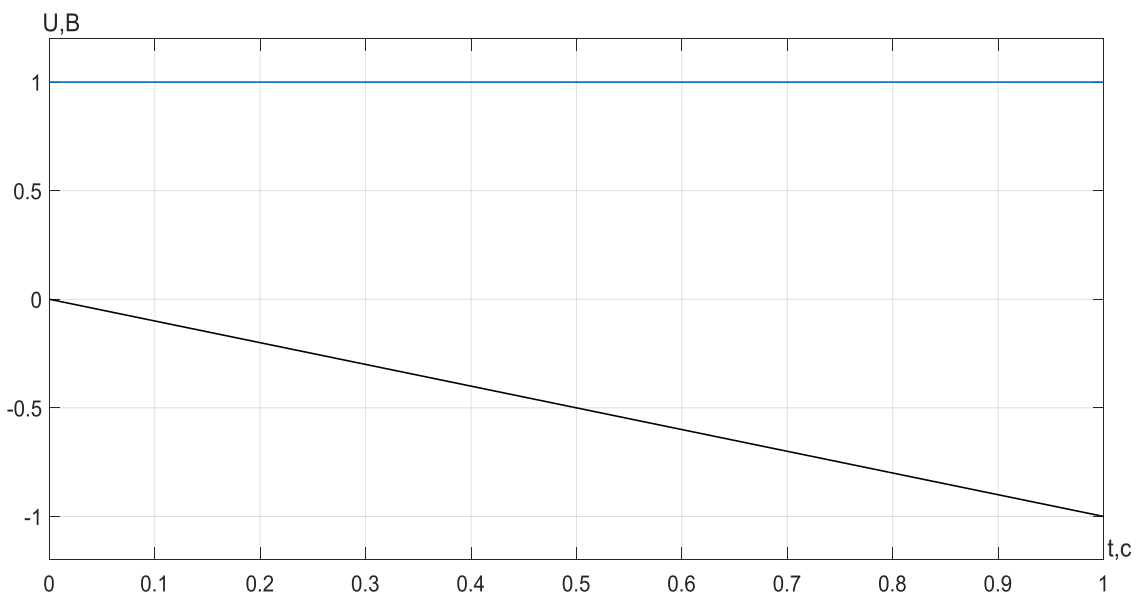


Рисунок 1.23 – Результати комп'ютерного моделювання

б) Обчислимо значення  $U_{вих}$  при інтегрування в межах від  $t_0 = 0$  до  $t_1 = 3\text{мс}$ :

$$U_{вих} = -\frac{1}{RC} U_t \Big|_{t=0}^{t=3\text{мс}} = -\frac{1}{1 \cdot 10^6 \cdot 0,1 \cdot 10^{-6}} \cdot 1 \Big|_{t=0}^{t=3\text{мс}} = -30\text{мВ}.$$

*Приклад.* У інтегратора  $R = 10\text{кОм}$  та  $C = 0,1\text{мкФ}$ ;  $U_{вх}$  – прямокутна хвиля із частотою  $1\text{кГц}$  та амплітудою  $5\text{В}$  (розмах  $10\text{В}$ ). Якою буде вихідна напруга?

*Рішення:*

Оскільки сигнал періодичний, то для опису вихідної напруги досить розглянути один повний період. Запишемо вхідну напругу як функцію часу (рис. 1.24,а). Маємо  $U_{вх} = 5\text{В}$  при  $t_1 < t \leq t_2$ ,  $U_{вх} = 0\text{В}$  при  $t_2 < t \leq t_3$ . Цю функцію можна інтегрувати на кожному з її напівперіодів. Для опису вихідного сигналу досить з'ясувати його форму та значення напруг на кінцях кожного напівперіоду.

Підставивши постійна напруга  $U$  в вираз інтегрування після перетворень маємо

$$U_{вих} = -\frac{1}{RC} \int U_1 dt = -\frac{1}{RC} U t,$$

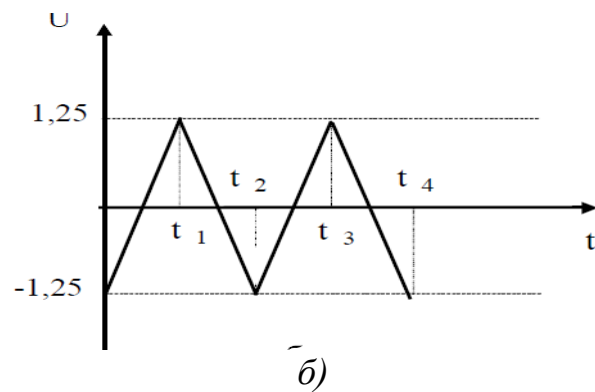
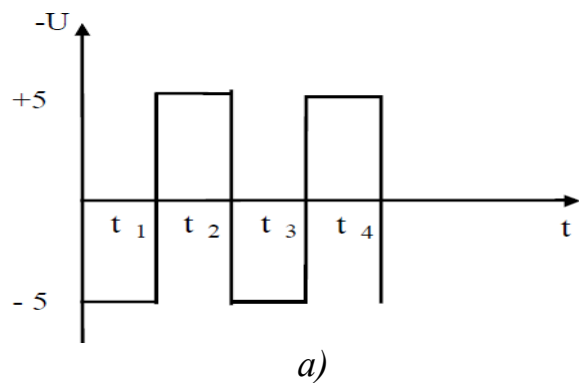
тобто похилу пряму на кожному напівперіоду. Інтегратор накопичив напругу в кінці першого напівперіоду (інтервалі між  $t_1$  та  $t_2$ )

$$U_{вих} = -\frac{U}{RC} t \Big|_{t=0}^{t=0,5\text{мс}} = -\frac{5 \cdot 0,5}{1 \cdot 10^3 \cdot 0,1 \cdot 10^{-6}} = -2,5\text{В}.$$

Накопичена напруга за другий напівперіод (між  $t_2$  та  $t_3$ )

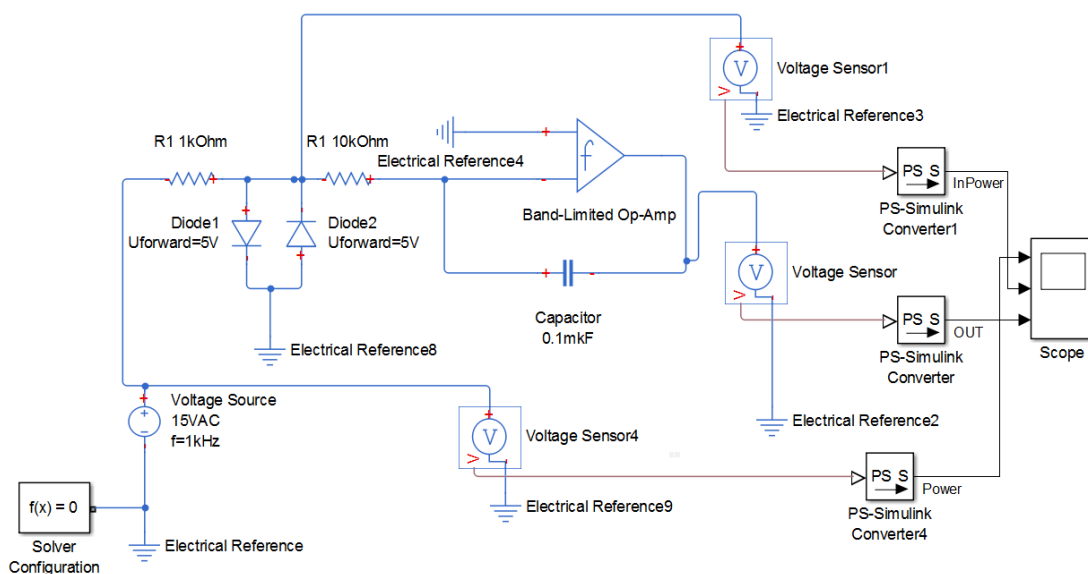
$$U_{вих} = -\frac{5}{RC} t \Big|_{t=0,5\text{мс}}^{t=1\text{мс}} = -\frac{5 \cdot 0,5}{RC} (t_3 - t_2) = -\frac{5 \cdot 0,5}{1 \cdot 10^3 \cdot 0,1 \cdot 10^{-6}} = -2,5\text{В}.$$

Вихідний сигнал подано на рисунку 1.24,б. Розмах цього сигналу від піку до піку дорівнює  $2,5\text{В}$ . При будь-якому сигналі на вході зміна сигналу на виході має починатися від того значення, яке вихідний сигнал мав до моменту приходу вхідного сигналу (коли  $U_{вх}$  стає рівним  $5\text{В}$ , вихідний сигнал починає зростати від значення  $1,25\text{В}$ ). Якби розмах прямокутної хвилі в прикладі дорівнював  $5$  або  $2,5\text{В}$ , то розмах вихідного сигналу виявився рівним  $1,25$  або  $0,625\text{В}$  відповідно.



*a – вхідний сигнал; б – вихідний сигнал  
Рисунок 1.24 – Реакція інтегратора на прямокутні коливання*

Побудуємо схему комп'ютерного моделювання процесу перетворення сигналу у програмному середовищі MatLab із відповідними вихідними даними. Схему комп'ютерного моделювання процесу перетворення сигналу інтегратором на базі ОП наведено на рисунку 1.25. Результати комп'ютерного моделювання наведено на рисунку 1.26. Як видно із отриманої характеристики реакцією інвертуючого інтегратора на прямокутний сигнал є вихідний сигнал пілкоподібної форми.



*Рисунок 1.25 – Схема комп'ютерного моделювання процесу перетворення сигналу інтегратором на базі ОП*

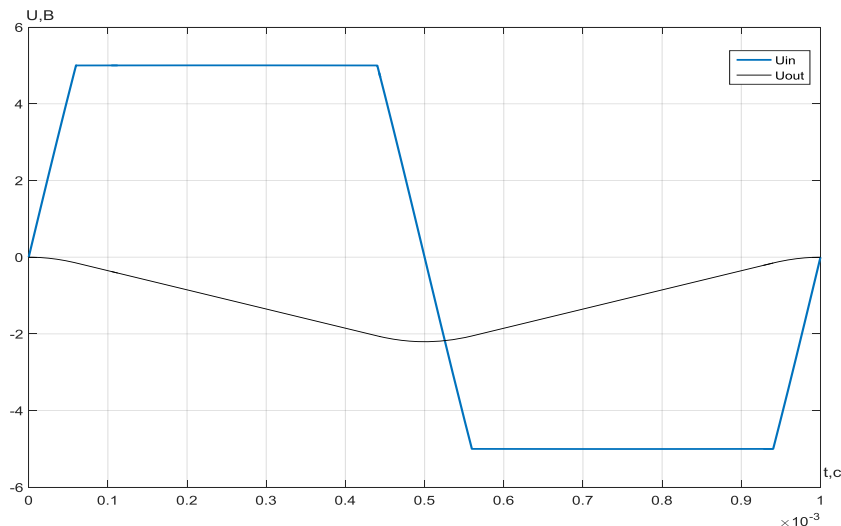


Рисунок 1.26– Результати комп’ютерного моделювання

Інтергатор зручно використовувати коли є можливість задавання початкових умов у вигляді напруги на конденсаторі. Електрична принципова схема (1.27) дозволяє зупиняти процес інтегрування вхідної напруги для задавання початкових умов.

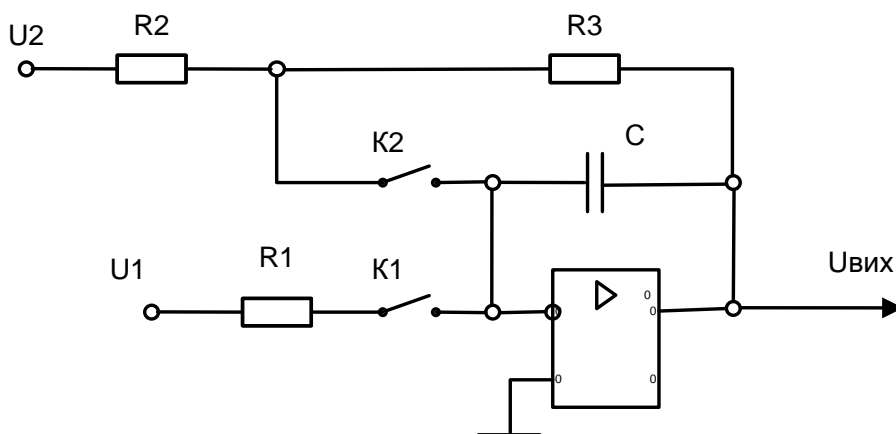


Рисунок 1.27 – Електрична принципова схема задавання початкових умов

Коли ключ  $K_1$  замкнений, а ключ  $K_2$  – розімкнений схема являє собою інвертуючий інтегратор. Якщо ключ  $K_1$  розімкнений, то струм заряду конденсатора при ідеальному ОП дорівнює нулю. Вихідна напруга збереже значення, яке відповідає моменту виключення  $K_1$  (режим збереження інформації). Якщо ключ  $K_1$  розімкнути та ключ  $K_2$  замкнути, то можливо задавати початкові умови. При цьому інтегратор працює як інвертуючий підсилювач із такою вихідною напругою

$$U_{вих} = -\frac{R_3}{R_2} U_{вх}.$$

Ця напруга встановлюється на виході ОП із деякою затримкою, величина якої визначається постійною часу  $\tau = R_3C$ .

При технічній реалізації інтеграторів слід враховувати наступні фактори:

- вхідний струм ОП при відсутності сигналу;
- напруга зсуву нуля ОП;
- струми витoku конденсаторів.

Вплив цих факторів збільшується із часом та обумовлює нестабільність роботи інтегратора. Тому при реалізації інтегруючих підсилювачів використовують прецезійні ОП із польовими транзисторами на вході та конденсаторами із малими струмами витoku.

## 1.8 Диференціюючий підсилювач

Електричну принципову схему диференціюючого підсилювача подано показано на рис. 1.28. Його вихідна напруга пропорційна швидкості зміни вхідного сигналу. При диференціюванні підсилювач повинен пропускати тільки змінну складову вхідної напруги й коефіцієнт посилення схеми повинен зростати при збільшенні швидкості зміни вхідного сигналу.

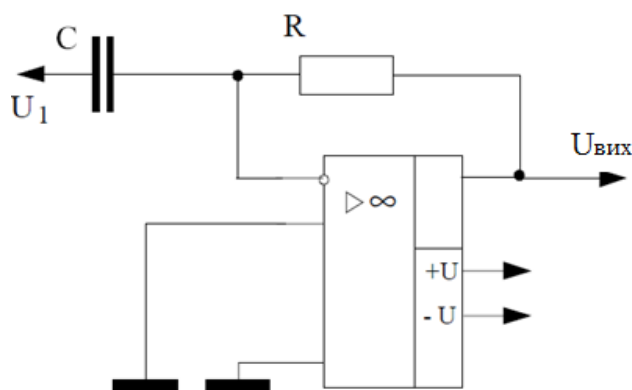


Рисунок 1.28 – Принципова схема диференціюючого підсилювача

Виконати ці вимоги дозволяє використання в якості вхідного елемента конденсатора С. Щоб отримати вираз для вихідної напруги, згадаємо, що струм через конденсатор визначається за формулою  $I_c = +C \frac{dU}{dt}$ . Напруга на конденсаторі змінюється так само як і вхідна напруга. Якщо припустити, що ОП ідеальний, то струм через опір зворотного зв'язку можна вважати рівним струму конденсатора, тобто. Але  $U_{вих} = I_R R = -I_c R$  тому

$$U_{вих} = -RC \frac{dU_1}{dt}.$$

Зменшення реактивного опору зі збільшенням частоти призводить до того, що схема має завеликий коефіцієнт посилення по відношенню до високочастотних складових на вході, навіть у випадку коли їхні частоти лежать вище смуги частот сигналу. Тому поряд із високочастотними складовими спектра вхідного сигналу схема підсилює власні шуми опорів та напівпровідникових елементів. Крім того, ця схема має тенденцію до втрати стійкості в області частот, де частотна характеристика пристрою має максимальний підйом. При цих умовах цілком можливо самозбудження. Щоб уникнути цього ефекту вживаються заходи щодо динамічної стабілізації пристрою.

Конденсатор  $C_k$  обирається таким чином, щоб ділянка характеристики зі спадом 6 дБ октава починалася на частоті більш високою, ніж максимальна частота вхідного  $f_2$ . При цьому суттєво зменшується частка високочастотних шумів у вихідному сигналі. Ця ділянка характеристики починається на частоті

$$f_2 = \frac{1}{2\pi R C_k}.$$

Опір  $R_k$  обмежує коефіцієнт посилення на високих частотах, забезпечує динамічну стійкість та знижує вхідний струм, який споживається від джерела сигналу. Додавання до схеми опору  $R_k$  призводить до появи на частотній характеристиці горизонтальної ділянки й до припинення диференціювання на частотах, що перевищують частоту

$$f_1 = \frac{1}{2\pi R_k C}.$$

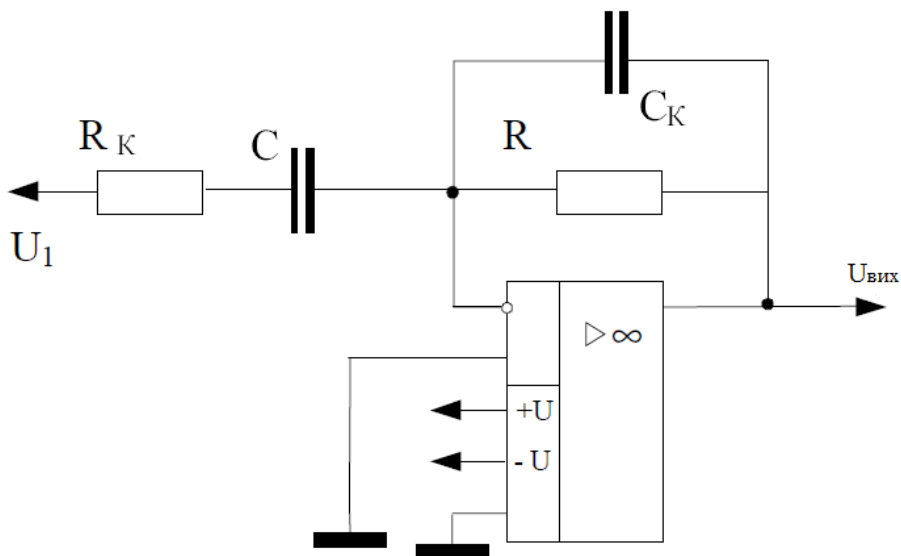


Рисунок 1.29 – Диференціючий підсилювач на ОП

Із рис. 1.29 видно, що у смузі частот від  $f_2 = (2\pi R_k C)^{-1}$  до  $f_{cp}$  схема являє собою інтегратор. У смузі частот  $f$  до  $f_1 = (2\pi R_k C)^{-1}$  схема є стійким диференціатором. Частоту  $f_1$  слід задавати можливо більш низькою при заданій смузі частот сигналу й точності диференціювання. Залежність похибки від частоти  $f_1$  подано в табл.1.1.  $R_{до}$  та  $C_k$  часто обирають такими, щоб  $R_k C = RC_k$  та  $f_1 = f_2$ .

Таблиця 1.1 – Залежність похибки диференціатора від частоти  $f_1$

$F$	$0,01f_1$	$0,1f_1$	$0,33f_1$	$f_1$
Помилка, %	нехтуємо	1	5	50

Як і в випадку інтегратора, найкращі результати виходять при використанні тефлонових або полістирольних конденсаторів (на більш високих частотах придатні також майларові конденсатори) та мало шумливих опорів на металевій плівці. У випадках, коли має значення часу повернення схеми у початковий стан (після перевантажень), можуть виявитися корисними схеми обмежень.

*Приклад.* У диференціатора  $R = 0,1 \text{ МОм}$ ,  $C = 0,1 \text{ мкФ}$ , а  $R_k$  і  $C_k$  обрано таким чином, щоб стабілізувати схему. На вхід подається синусоїдальна напруга амплітудою 3В й частотою 60 Гц, тобто  $U = 3 \sin(2\pi \cdot 60t)$ . Які величина і форма вихідної напруги?

*Рішення:*

$$U_{\text{вих}} = -RC \frac{dU_{\text{вх}}}{dt} = -RC \frac{d(3 \sin(2\pi \cdot 60t))}{dt}$$

тому

$$U_{\text{вих}} = -RC \cdot 3[2\pi \cdot 60] \cos(2\pi \cdot 60t).$$

Таким чином, напруга на виході змінюється за законом косинуса, чого і слід було очікувати, так як  $d \sin U = \cos U dU$ . Величина вихідної напруги дорівнює

$$U_{\text{вих}} = -0,01 \cdot 3 \cdot 120\pi \cdot \cos(2\pi \cdot 60t) = -11,31 \cos(2\pi \cdot 60t).$$

Побудуємо схему комп'ютерного моделювання процесу перетворення сигналу у програмному середовищі MatLab із відповідними вихідними даними. Схему комп'ютерного моделювання процесу перетворення сигналу диференціатором на базі ОП наведено на рис.1.30.

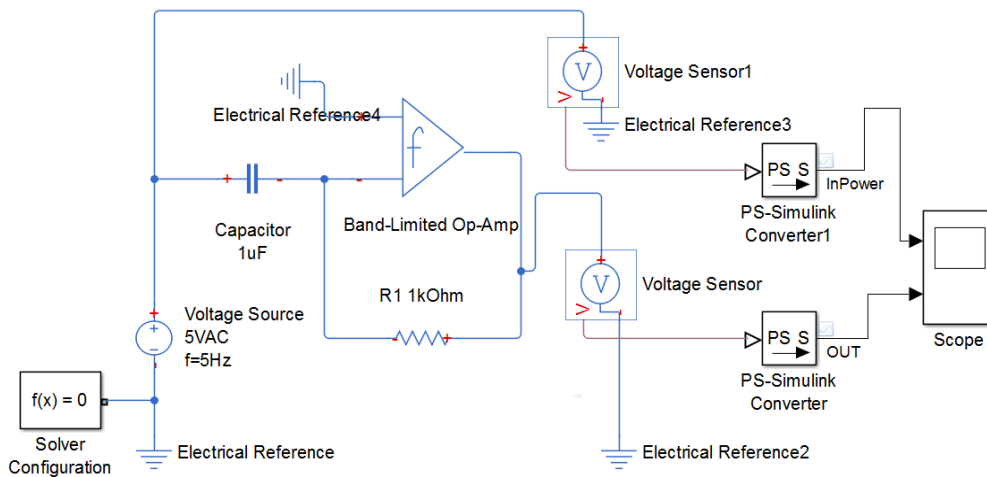


Рисунок 1.30 – Схема комп'ютерного моделювання процесу перетворення сигналу диференціатором на базі ОП

Результати комп'ютерного моделювання наведено на рис. 1.31. Як видно із отриманої характеристики вихідний сигнал змінює за законом косинуса із амплітудою 11,31 В.

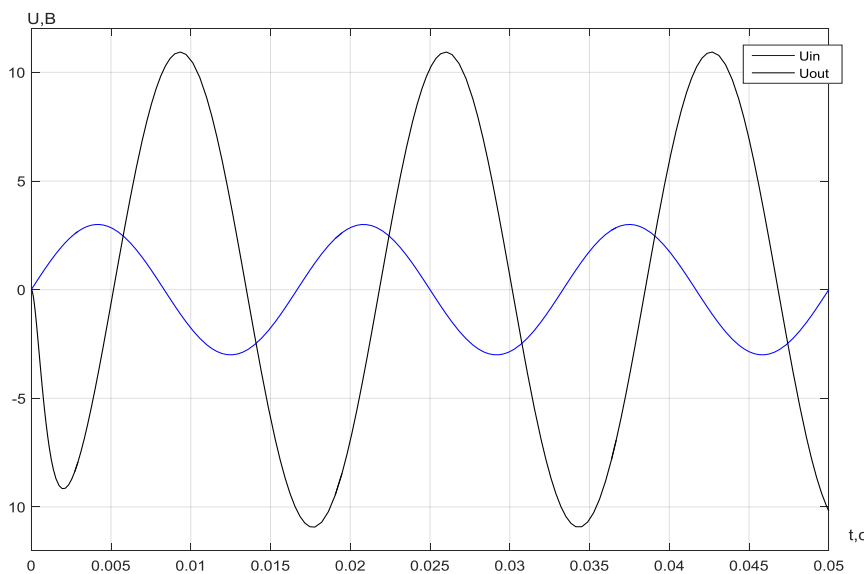


Рисунок 1.31– Результати моделювання

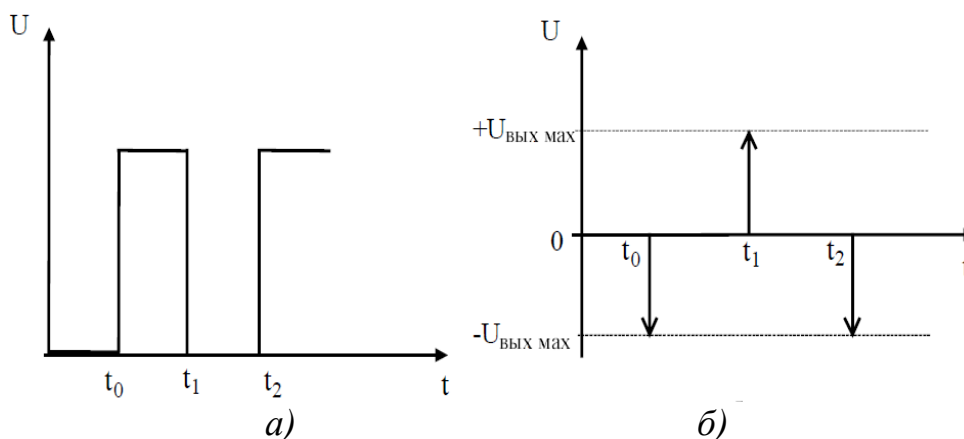
*Приклад.* На вхід диференціатора із попереднього прикладу подається прямокутна хвиля амплітудою 0,6 В та частотою 100 Гц, причому час зростання  $t_n = 3,3\text{мс}$  й час спаду  $t_c = 3,3\text{мс}$ . Зобразити вихідний сигнал.

*Рішення:*

Вхідний сигнал слід розбити на частини і диференціювати окремо. Ділянки вхідного сигналу, на яких його значення постійне й дорівнює 0,6 або 0В, на виході диференціатора немає напруги, оскільки похідна постійної дорівнює нулю. Ділянки наростання й спаду імпульсів можна апроксимувати похилими прямими.



Оскільки при  $t_n = t_c$  вихідна напруга під час зростання дорівнює вихідній напрузі під час спаду й протилежною за знаком, то нульова вихідна напруга з'являється тільки під час спаду або зростання імпульсів. Вихідний сигнал показано на рисунку 1.32.



*a – вхідний сигнал, б – вихідний сигнал*

*Рисунок 1.32 – Вихідний сигнал диференціатора при прямокутній хвилі*

Для знаходження  $U_{вих}$  під час зростання або спаду треба спочатку визначити ці ділянки вхідного сигналу як функції часу. Маємо

$$t_n = -t_c = \frac{0,6}{0,0033} t = (180)t. \text{ Тепер отримаємо}$$

$$U_{вих} = \frac{R_2}{R_1} \left[ -R_2 C \frac{d(180)t}{dt} \right] = \frac{R_2}{R_1} [-R_2 C (180)] = \frac{10 \cdot 10^3}{1 \cdot 10^3} [-0,001 \cdot (180)] = 1,8 \text{ В}$$

Під час зростання й спаду  $U_{вих} = +0,6$ . Вихідний сигнал реального ОП буде складатися із двох імпульсів протилежної полярності тривалістю 3,3мс, амплітуда яких дорівнює максимально можливій вихідній напрузі ОП або напрузі обмеження, якщо в схемі використовується схема обмеження.

Якщо ОП диференціатора не встигає за змінами вхідного сигналу, то при замалій тривалості вхідного сигналу напруга на його виході може і не досягати максимально можливого значення. Якщо, наприклад, прямокутна хвиля мала б час наростання 1нс, то швидше за все не було б взагалі ніякої зміни вихідної напруги.

Побудуємо схему комп'ютерного моделювання процесу перетворення сигналу у програмному середовищі MatLab із відповідними вихідними даними. Схему комп'ютерного моделювання процесу перетворення сигналу диференціатором на базі ОП наведено на рисунку 1.33. Результати комп'ютерного моделювання наведено на рисунку 1.34.

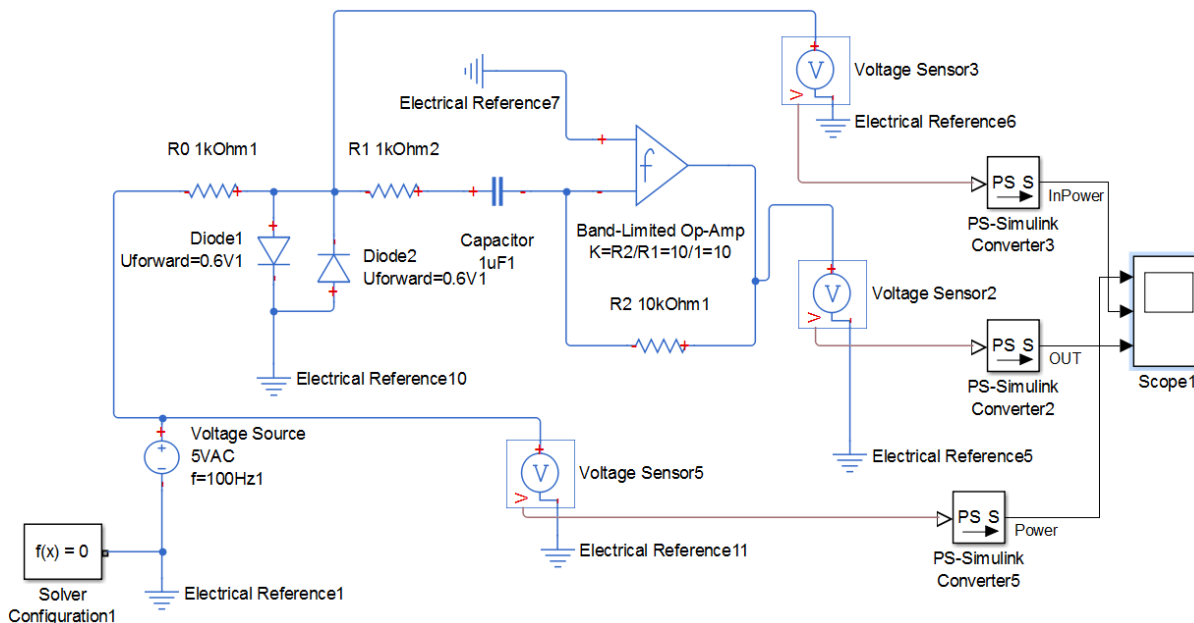


Рисунок 1.33 – Схема комп'ютерного моделювання процесу перетворення сигналу диференціатором на базі ОП

Як видно при подачі на вхід диференціатора сигналу прямокутної форми вихідний сигнал має імпульси під час спаду або зростання вхідного сигналу. Коефіцієнт підсилення вихідного сигналу дорівнює

$$K_{33} = \frac{R_2}{R_1} = \frac{10 \cdot 10^3}{1 \cdot 10^3} = 10.$$

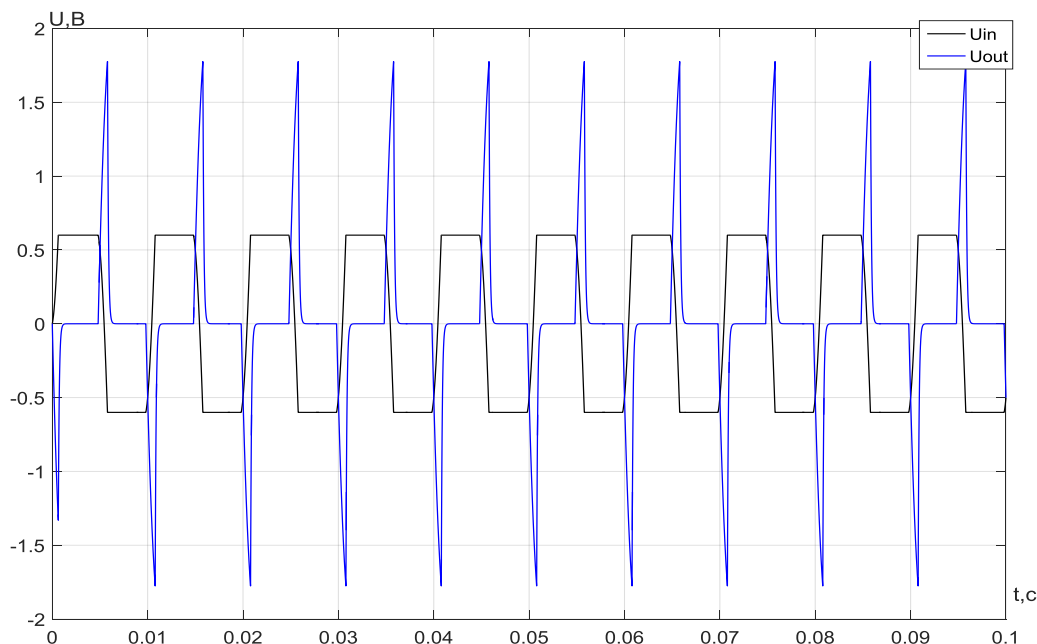


Рисунок 1.34 – Результати комп'ютерного моделювання процесу диференціювання прямокутного сигналу

## 1.9 Розв'язування диференціального рівняння

Одне із можливих застосувань схем диференціаторів і інтеграторів полягає в їхньому використанні для вирішення диференціальних рівнянь. Нехай потрібно знайти струм  $RCL$ -ланцюга (рис. 1.35). Щоб це зробити, визначимо стан схеми через похідні змінної за часом.

Застосуємо закон Кірхгофа про суму падінь напруги до даного ланцюга

$$U_{\text{вх}} = U_L + U_R + U_C.$$

Падіння напруги на опорі  $IR$ , що можна записати

$$U_R = R \frac{dQ}{dt}.$$

Миттєве значення падіння напруги на індуктивності має вигляд

$$U_L = -L \frac{dI}{dt} = -L \frac{d^2Q}{dt^2}.$$

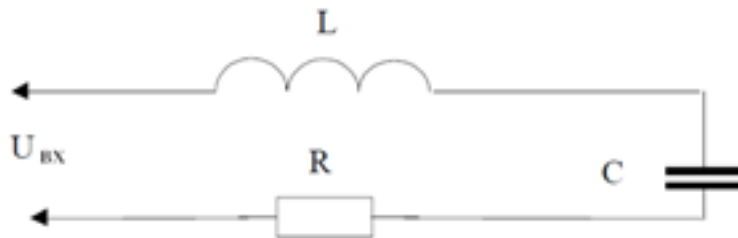


Рисунок 1.35 – Знаходження величини струму в  $RLC$ -ланцюзі

Згідно із визначенням ємності  $C = \frac{Q}{U_C}$  падіння напруги на конденсаторі дорівнює

$$U_C = \frac{Q}{C}.$$

Підставивши попередні вирази у рівність  $U_{\text{вх}} = U_L + U_R + U_C$  й отримаємо таке рівняння

$$U_{\text{вх}} = -L \frac{d^2Q}{dt^2} + R \frac{dQ}{dt} + \frac{Q}{C}.$$

Права частина цього рівняння містить похідні спадної порядку від однієї і тієї ж змінної. Це рівняння можна перетворити таким чином, щоб вийшло рівняння щодо  $Q$

$$Q = LC \frac{d^2 Q}{dt^2} - RC \frac{dQ}{dt} + CU_{ex}.$$

Тепер побудуємо суматор для знаходження  $Q$  й подамо на кожен із його входів одну з складових правої частини рівняння. Підставимо в останнє рівняння величини елементів схеми рис. 1.32 й отримаємо

$$\begin{aligned} Q &= 0,55 \cdot 0,5 \cdot 10^{-6} \frac{d^2 Q}{dt^2} - 10 \cdot 0,5 \cdot 10^{-6} \frac{dQ}{dt} + 0,5 \cdot 10^{-6} U_{ex} = \\ &= \left[ 0,25 \frac{d^2 Q}{dt^2} - 5 \frac{dQ}{dt} + 0,5 U_{ex} \right] \cdot 10^{-6}, \text{ Кл} \end{aligned}$$

Для спрощення масштабу будемо формувати результат розрахунків в мкКл. Продиференціюємо отримані значення струму в мікроамперах й подамо на один із входів суматора. У кінцевій схемі використаємо інвертуючі суматори, що дасть можливість обійти проблему забезпечення балансу схеми складання-віднімання. Нагадаємо, що для отримання на виході інвертуючого суматора сигналу певного знака на його вхід слід подавати сигнал протилежного знака; наприклад, для отримання  $U_{вих} = X + Y$  на входи треба подати  $+X$  та  $-Y$ .

Схему для вирішення диференціального рівняння стану електричного ланцюга подано на рис. 1.36.

Як і при розв'язуванні систем лінійних алгебраїчних рівнянь, масштаби в цій схемі обираються такими, щоб результат спромігся «вміститися» у шкалу напруг ОП. За допомогою цієї схеми можна дослідити залежності струму від часу в ланцюзі для різних видів вхідного сигналів. Побудуємо схему комп'ютерного моделювання процесу перетворення сигналу у програмному середовищі MatLab із відповідними вихідними даними. Схему комп'ютерного моделювання процесу перетворення сигналу наведено на рис. 1.37.

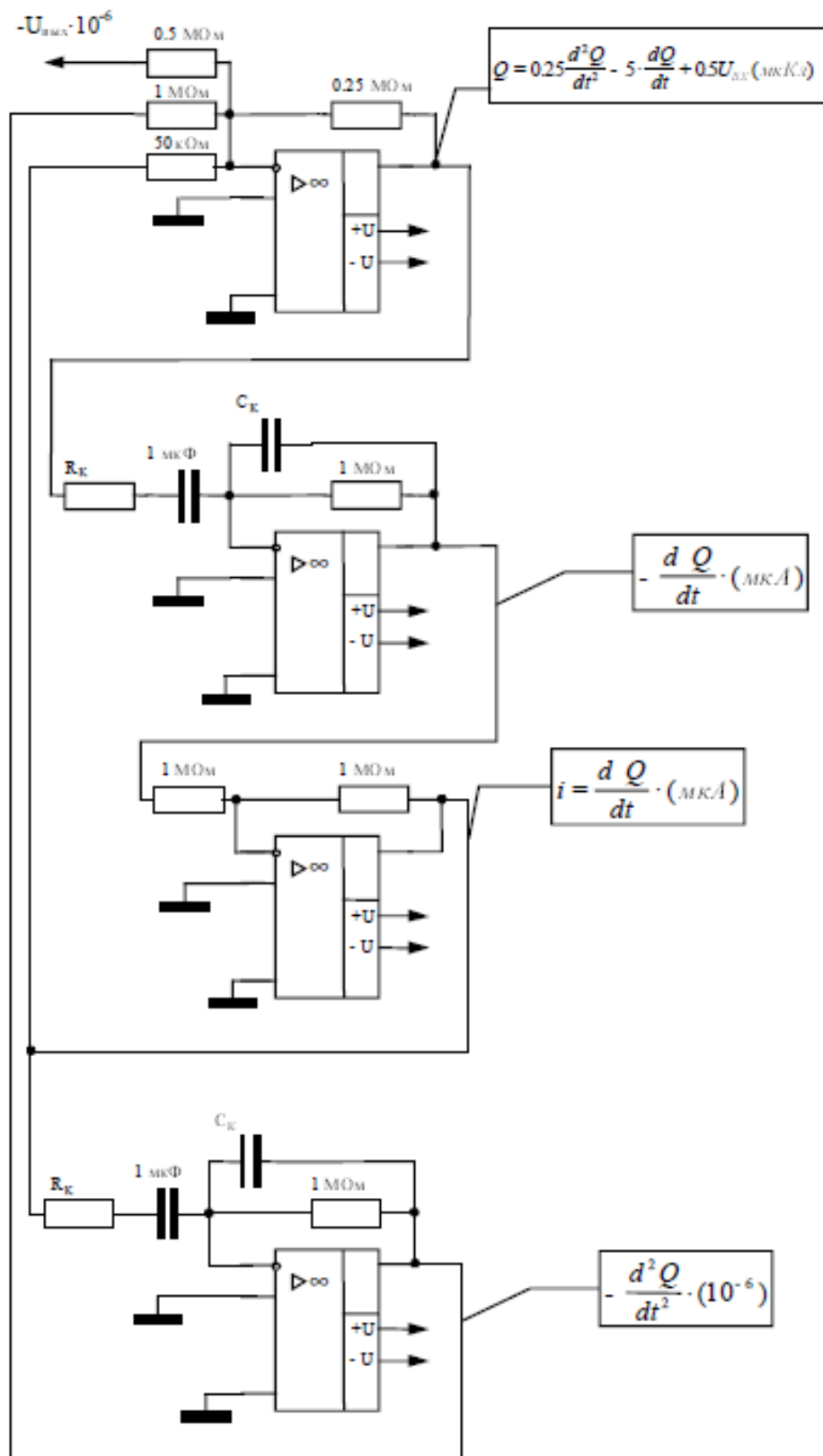
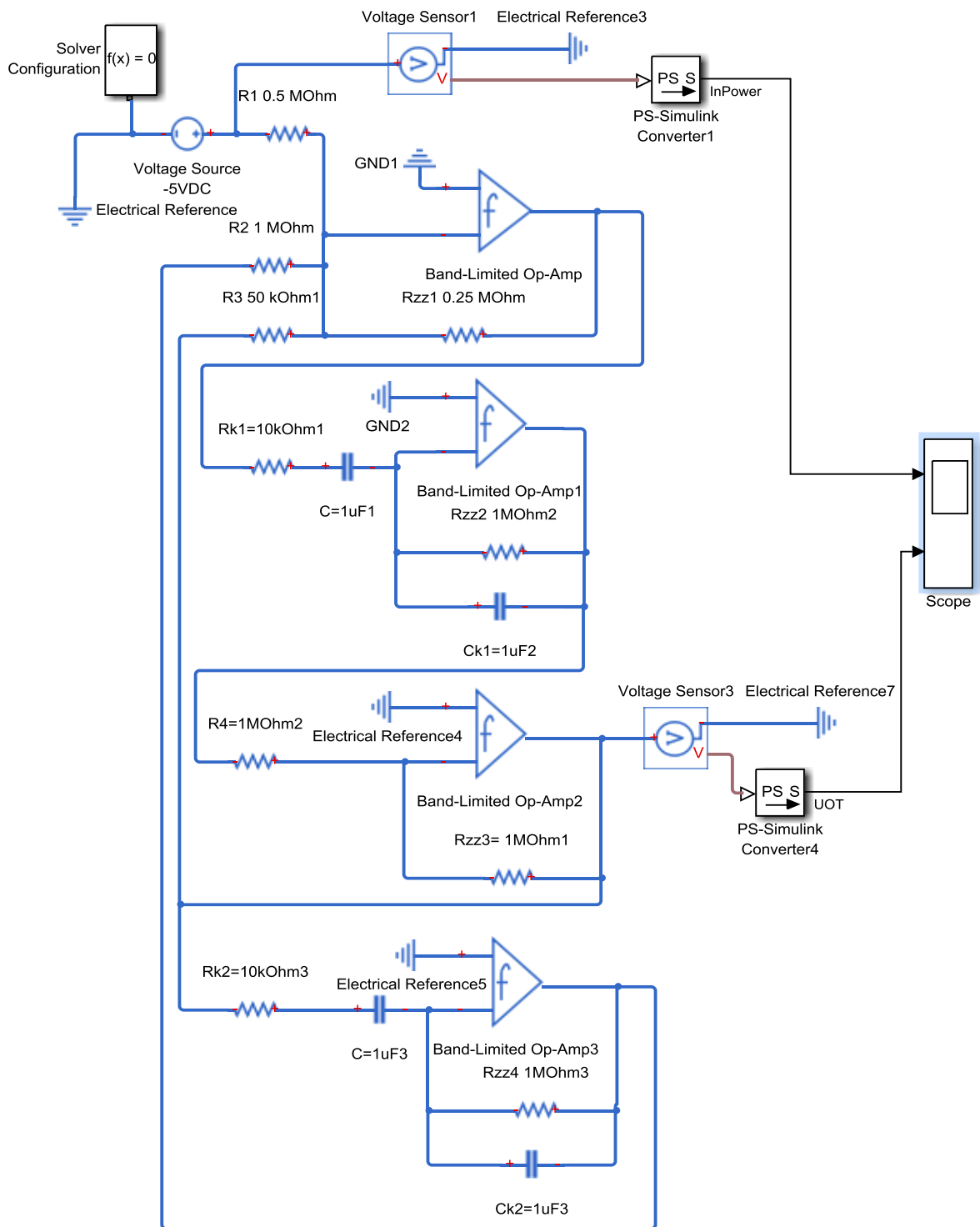


Рисунок 1.36 – Схема рішення диференціального рівняння



*Рисунок 1.37 – Схема комп'ютерного моделювання процесу вирішення диференціального рівняння стану електричного ланцюга*

Результати комп'ютерного моделювання наведено на рис. 1.38.

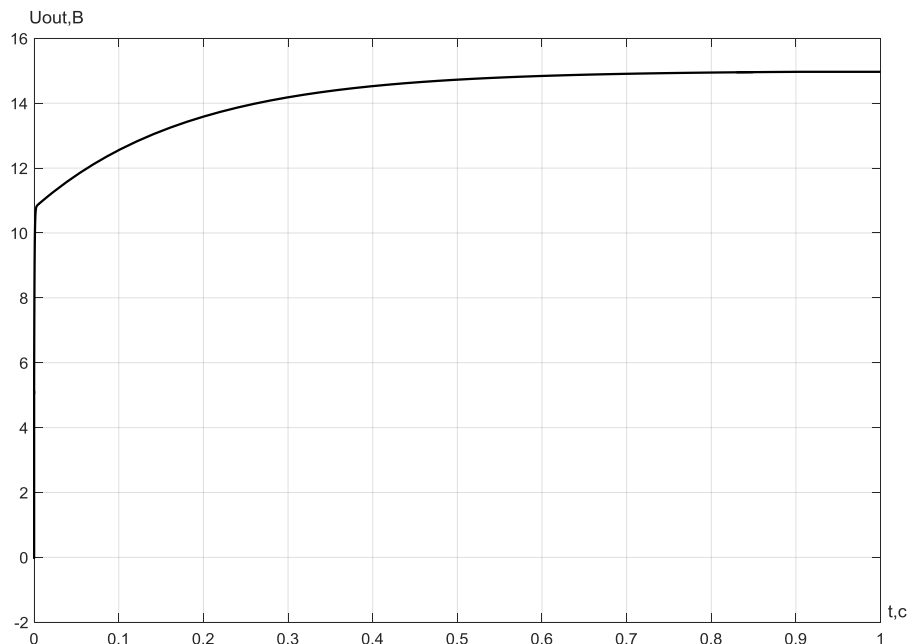


Рисунок 1.38 – Результати моделювання

Рівняння, яке описує ланцюг на рис. 1.35, можна також записати і через інтеграли від однієї змінної величини і вирішити за допомогою схеми на інтеграторах. Така схема буде більш стійкою, ніж на рис. 1.36. Рішення через інтеграли виглядає наступним чином. Із виразів

$$U_C = \frac{Q}{C} \quad \text{та} \quad I_C = \frac{dQ}{dt}$$

виходить рівність  $dQ = Idt$ .

Інтегруючи, отримаємо  $Q = \int Idt$ . Тепер можна записати

$$U_{ex} = U_R + U_L + U_C = IR - L \frac{dI}{dt} + \frac{1}{C} \int Idt.$$

Інтегруючи за часу обидві частини цієї рівності, отримаємо

$$\int U_{ex} dt = R \int Idt - LI + \frac{1}{C} \iint Idt.$$

Тут враховано, що інтеграл від  $\frac{dI}{dt}$  дорівнює  $I$ . Вирішуючи це рівняння щодо  $I$ , знайдемо

$$I = \frac{R}{L} \int Idt + \frac{1}{LC} \iint Idt - \frac{1}{L} \int U_{ex} dt$$

Підставляючи сюди величини елементів, отримаємо таке

$$I = \frac{10}{0,5} \int Idt + \frac{1}{0,5 \cdot 0,5 \cdot 10^{-6}} \iint Idt - \frac{1}{0,5} \int U_{ex} dt =$$

$$= 20 \int Idt + 4 \cdot 10^6 \iint Idt - 2 \int U_{ex} dt$$

Схему на інтеграторах для вирішення цього рівняння показано на рисунку 1.39.

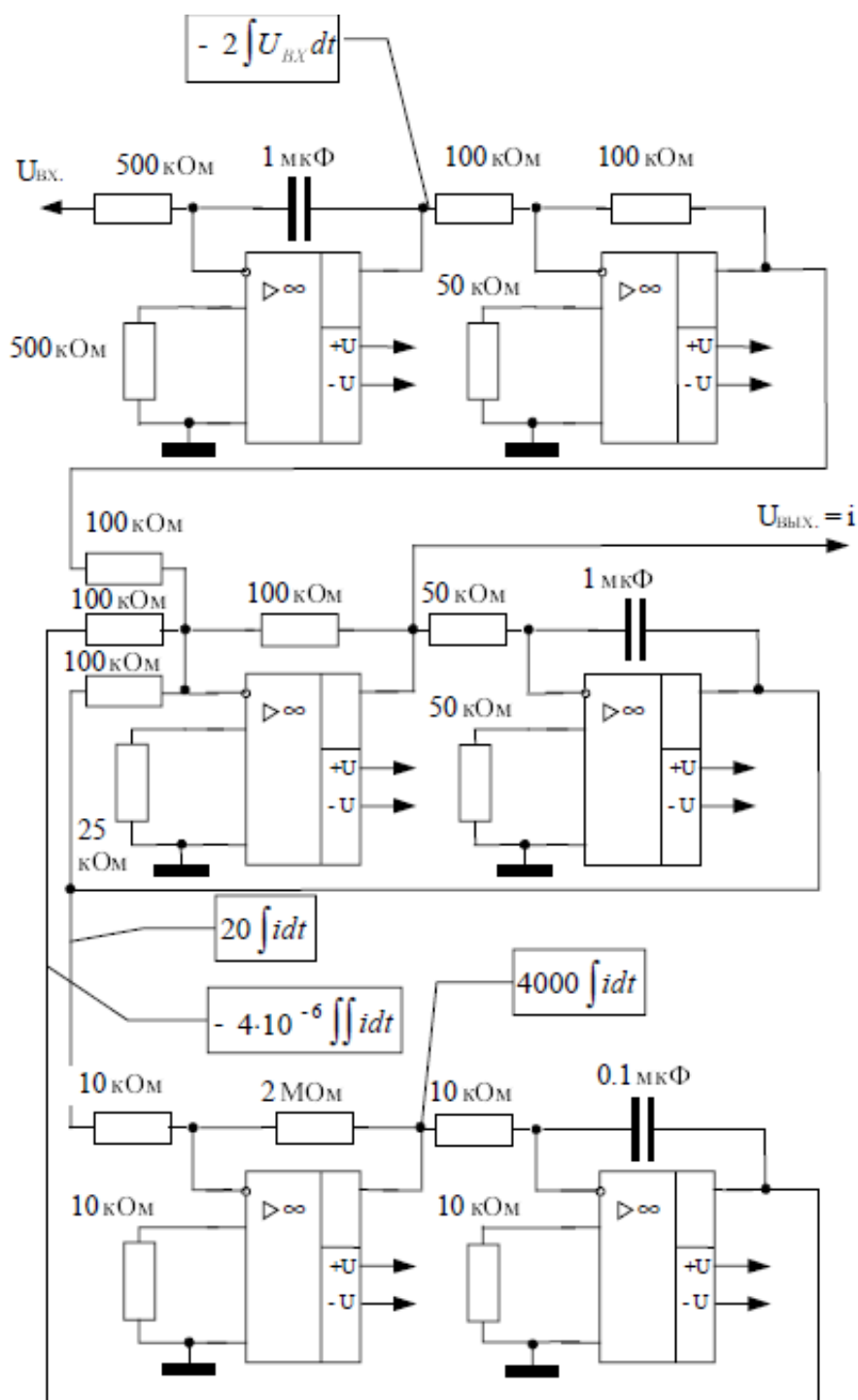


Рисунок 1.39 – Схема рішення диференціального рівняння



Побудуємо схему комп'ютерного моделювання процесу перетворення сигналу у програмному середовищі MatLab із відповідними вихідними даними. Схему комп'ютерного моделювання процесу перетворення сигналу наведено на рисунку 1.40.

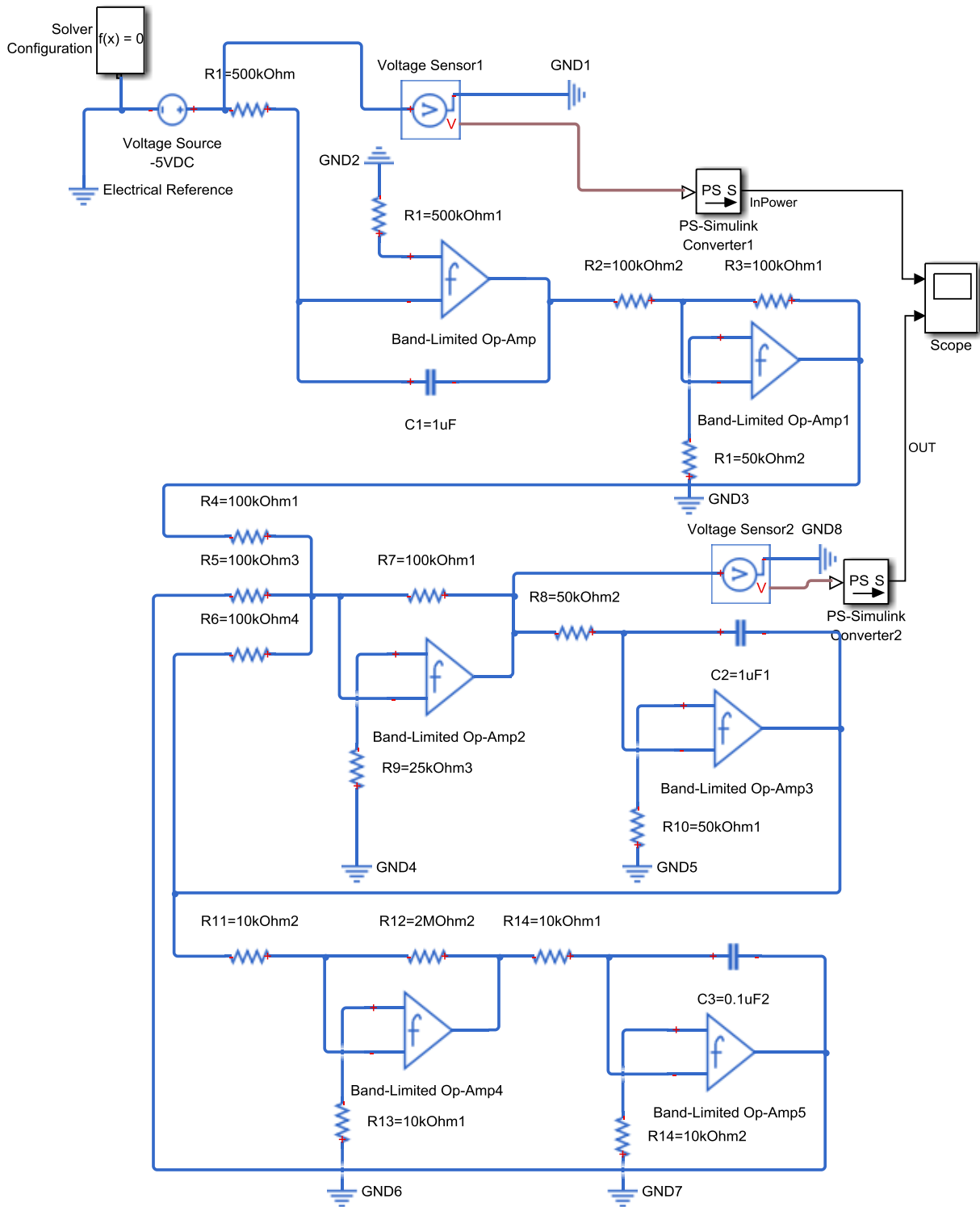


Рисунок 1.40 – Схема комп'ютерного моделювання рішення диференціального рівняння на базі інтегруючих ОП

Результати комп'ютерного моделювання наведено на рисунку 1.41.

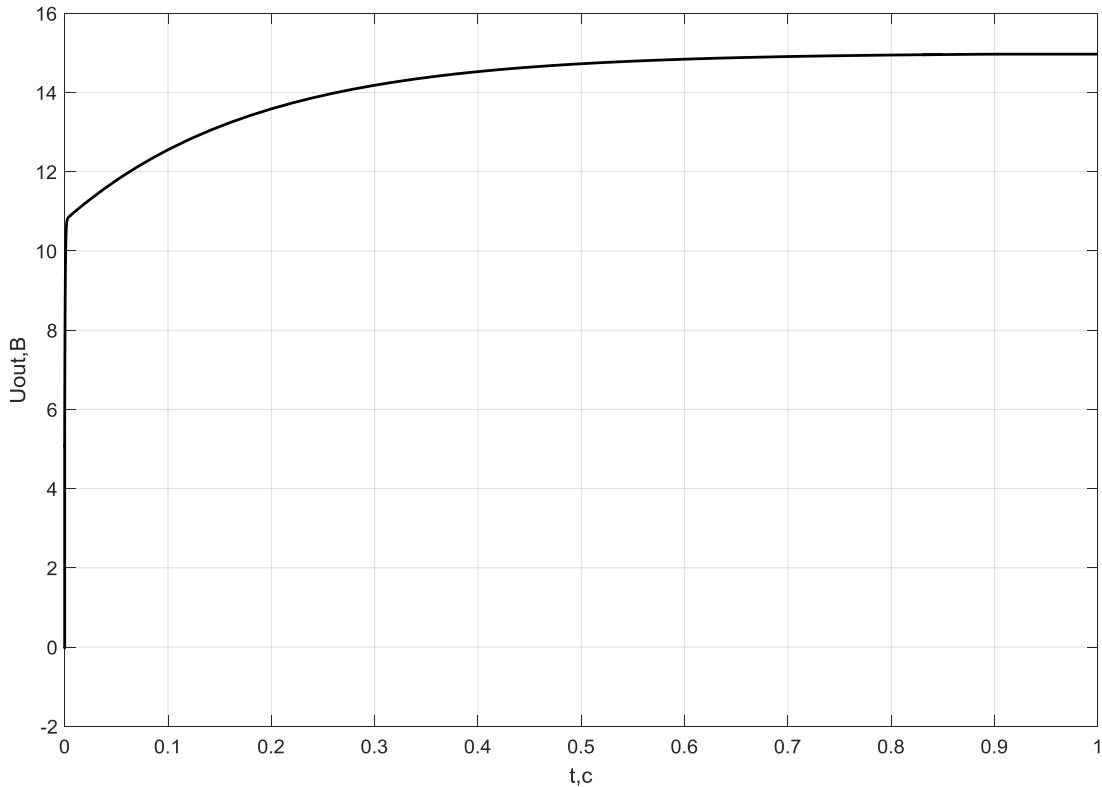


Рисунок 1.41 – Результати комп'ютерного моделювання

Відзначимо, що для реалізації в схемі множника 10 у другому члені правої частини рівняння цей множник зважаючи на його велику величини довелося розбити на множники і реалізувати їх окремо на підсилювачі із коефіцієнтом посилення 200 та інтеграторі із коефіцієнтом посилення 1000. Якщо напруга  $U_{вх}$  змінна, то в інтеграторах слід використовувати коригувальні опору  $R_p$ . Якщо  $U_{вх}$  – ступінчаста функція, то напруга на конденсаторах інтеграторів слід періодично скидати. Якщо в інтеграторах використано ОП зі входом на польових транзисторах, то максимальний час, після закінчення якого скидання стає необхідним, збільшується.

### Контрольні запитання

1. Призначення операційного підсилювача.
2. Особливості побудови схем підсумовування сигналів.
3. Задавання початкових умов інтегрувальника.
4. Особливості побудови інтегрувальника.
5. Розв'язування диференціальних рівнянь.
6. Методика побудови схем комп'ютерного моделювання у програмному середовищі MatLab.

## 2 ОСНОВНІ ВІДОМОСТІ ІЗ ТЕОРІЇ АЛГЕБРИ ЛОГІКИ

### 2.1 Аксіоми, основні теореми та тотожності алгебри логіки

Теоретичні засади побудови пристроїв цифрового оброблення сигналів базуються на використанні рівнянь алгебри логіки. Змінні, із якими оперує алгебра логіки, приймають тільки два значення: 0 та 1. Усі змінні звичайно позначають латинськими буквами  $x, y, z, \dots$ .

В алгебрі логіки використовуються такі основні визначення для опису роботи цифрового пристрою: відношення еквівалентності ( $=$ ); операція диз'юнкції (АБО), що позначається знаком  $\vee$  або  $+$ ; операція кон'юнкції (І), що позначається знаком  $\wedge$  або точкою, яку можна опустити (наприклад,  $xy$ ); операція заперечення (НІ), що позначається рискою над змінною (наприклад,  $\bar{x}$ ); а також операція логічної нерівнозначності (виключаючи АБО), що позначається знаком  $\oplus$ .

Відношення еквівалентності задовольняє наступним властивостям:

- 1)  $x = x$  – рефлексивність;
- 2) якщо  $x = y$ , то  $y = x$  – симетричність;
- 3) якщо  $x = y$  та  $y = z$ , то  $x = z$  – транзитивність.

Алгебра логіки при мінімізації структурної формули роботи цифрового пристрою оперує із такими аксіомами

$$\left. \begin{array}{l} x = 0, \quad \text{якщо } x \neq 1 \\ x = 1, \quad \text{якщо } x \neq 0 \end{array} \right\}, \quad (2.1)$$

$$\left. \begin{array}{l} 1 + 1 = 1 \\ 0 \cdot 0 = 0 \end{array} \right\}, \quad (2.2)$$

$$\left. \begin{array}{l} 0 + 0 = 0 \\ 1 \cdot 1 = 1 \end{array} \right\}, \quad (2.3)$$

$$\left. \begin{array}{l} 0 + 1 = 1 + 0 = 1 \\ 1 \cdot 0 = 0 \cdot 1 = 0 \end{array} \right\}, \quad (2.4)$$

$$\left. \begin{array}{l} \bar{0} = 1 \\ \bar{1} = 0 \end{array} \right\}. \quad (2.5)$$

Аксіома (1.1) стверджує, що змінні приймають тільки два значення. Аксіоми (1.2) ... (1.4) визначають операції диз'юнкції й кон'юнкції, аксіома (1.5) визначає операцію заперечення. За допомогою цих аксіом можна довести цілий ряд теорем (законів):

- *ідемподентні закони*

$$x + x = x, \quad x \cdot x = x;$$

- *комутативні закони*

$$x + y = y + x, \quad xy = yx;$$

- *асоціативні закони*

$$(x + y) + z = x + (y + z), \quad (xy)z = x(yz);$$

- *дистрибутивні закони*

$$x(y + z) = xy + xz, \quad x + yz = (x + y)(x + z);$$

- *закони заперечення*

$$\begin{aligned} x + \bar{x} &= 1, & \bar{x}\bar{x} &= 0; \\ 0 + x &= x, & 1x &= x; \\ 1 + x &= 1, & 0x &= 0; \end{aligned}$$

- *закон подвійності (теорема де Моргана)*

$$\overline{x + y} = \bar{x}\bar{y}, \quad \overline{xy} = \bar{x} + \bar{y};$$

- *закон подвійного заперечення*

$$\overline{\bar{x}} = x;$$

- *закон поглинання*

$$x + x\bar{0} = x, \quad x(x + 1) = x;$$

- *операція склеювання*

$$xy + \bar{x}y = y, \quad (x + y)(x + \bar{y}) = x + y;$$

- *операція узагальненого склеювання*

$$\begin{aligned}
 xy + \bar{x}z + yz &= xy + \bar{x}z, \\
 (x + y)(\bar{x} + z)(y + z) &= (x + y)(\bar{x} + z), \\
 x + \bar{x}y &= x + y, \quad x(\bar{x} + y) = xy.
 \end{aligned}$$

Теорема дозволяють спростити логічні вирази, а також перетворити їх у таку форму, яка буде більш сприятлива для реалізації логічними пристроями.

## 2.2 Властивості перемикальних функцій

Сукупність змінних  $x_n \dots x_1$  можна розглянути як  $n$ -мірний вектор, який описує роботу цифрового пристрою, а також як область визначення функції. Для того, щоб задати функцію, треба вказати її значення (0,1) у всіх точках області визначення. При цьому кількість різних станів функції для  $n$  змінних дорівнює  $2^n$ . Якщо функція залежить не від усіх змінних, то вона є виродженою. Найбільше поширення знайшли не вироджені функції двох змінних  $f(x_2, x_1)$  із такими назвами операції алгебри логіки

$$\begin{aligned}
 f(x_2, x_1) &= x_2 + x_1 && \text{(АБО);} \\
 f(x_2, x_1) &= x_2 x_1 && \text{(І);} \\
 f(x_2, x_1) &= \overline{x_2 x_1} && \text{(І – НІ);} \\
 f(x_2, x_1) &= \overline{x_2 + x_1} && \text{(АБО – НІ);} \\
 f(x_2, x_1) &= x_2 \oplus x_1 && \text{(сума за модулем два).}
 \end{aligned}$$

Область визначення цих функцій становить чотири точки, ( $2^2 = 4$ ), значення функцій наведено в таблиці 2.1.

Таблиця 2.1 – Область визначення функцій

$i$	$x_2$	$x_1$	$x_2 + x_1$	$x_2 \cdot x_1$	$\overline{x_2 \cdot x_1}$	$\overline{x_2 + x_1}$	$x_2 \oplus x_1$
0	0	0	0	0	1	1	0
1	0	1	1	0	1	1	1
2	1	0	1	0	1	1	1
3	1	1	1	1	0	0	0

Використовуючи тільки функції двох змінних, можна побудувати функції більшого числа змінних шляхом композиції, тобто підстановкою одних функцій замість змінних в інші функції. Така підстановка можлива, тому що області значень функцій та змінних співпадають (0 або 1).

## 2.3 Форми запису логічних функцій

Логічні функції (ЛФ), які у алгебрі логіки описують роботу цифрового пристрою, звичайно задаються або в табличній формі (таблиця істинності), або логічними виразами. *Таблиця істинності* – це перерахування усіх можливих станів вхідних та вихідних сигналів, які розташовано у порядку зростання вхідних (наприклад, табл. 2.2).

Таблиця 2.2

$x_2$	$x_1$	$x_0$	$y$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

ЛФ роботи цифрового пристрою подається за допомогою структурної формули, яка містить логічні операції над незалежними змінними. Ці змінні розташовано в порядку зростання станів вхідного сигналу. Задавання ЛФ за допомогою структурної формули дозволяє побудувати схему пристрою, оцінити складність її реалізації та мінімізувати кількість елементів. Мінімізація кількості елементів спрощує електричну принципову схему цифрового пристрою.

Існують дві форми запису структурної формули:

- у вигляді звершеної диз'юнктивної нормальної форми (ЗДНФ);
- у вигляді звершеної кон'юнктивної нормальної форми (ЗКНФ).

*Запис структурної формули у вигляді ЗДНФ.* Розглянемо на прикладі правила переходу від таблиці істинності ЛФ до її запису у вигляді ЗДНФ. Для  $y = f(x_1, x_2, x_3)$  введемо в таблицю істинності три стовпці допоміжних функцій  $y_1, y_2, y_3$  (табл. 2.3).

Кількість допоміжних функцій, які утворюють вихідну функцію  $y$ , відповідає числу одиниць у таблиці істинності. Структура допоміжних функцій у цьому випадку буде наступною: кожному значенню  $y = 1$  в стовпці  $y_i$  відповідає одне значення допоміжної функції. При цьому сама допоміжна функція записується як кон'юнкція одиничних станів вхідного сигналу. Якщо стан вхідного сигналу дорівнює 0, то у виразі допоміжної функції записується його інверсне значення. Функції такого виду називають повною елементарною кон'юнкцією, мінтермом чи континуентом одиниці. За даними табл. 2.3 можна також скласти формули для  $y_i = f_i(x_1, x_2, x_3)$ ,  $y = f(y_1, y_2, y_3)$  а також електричну принципову схему, яка реалізує задану ЛФ.

Таблиця 2.3

$x_3$	$x_2$	$x_1$	$y_1$	$y_2$	$y_3$	$y$
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	0	0	1	1
1	0	1	0	0	0	0
1	1	0	0	1	0	1
1	1	1	1	0	0	1

Запишемо значення основної та допоміжних функцій

$$y_1 = x_1 \cdot x_2 \cdot x_3, \quad y_2 = \bar{x}_1 \cdot x_2 \cdot x_3, \quad y_3 = \bar{x}_1 \cdot \bar{x}_2 \cdot x_3;$$

$$y = y_1 + y_2 + y_3 = x_1 \cdot x_2 \cdot x_3 + \bar{x}_1 \cdot x_2 \cdot x_3 + \bar{x}_1 \cdot \bar{x}_2 \cdot x_3.$$

Структурна формула є ЗДНФ для функції  $y$ .

*Звершеною* називають функцію, у якій добутки (суми) містять всі аргументи, причому кожен аргумент входить тільки один раз у прямому чи інверсному вигляді. Отже, до властивостей ЗДНФ варто віднести наступне: в неї немає двох однакових добутків, жоден добуток не містить двох однакових множників і жоден добуток не містить разом із незалежною змінною або інверсію.

Для запису структурної формули у вигляді ЗДНФ за таблицею істинності необхідно:

- визначити рядки, де  $y = 1$ ;
- для кожного рядка скласти логічний добуток усіх незалежних змінних, причому, якщо у ньому змінна дорівнює 1, то вона входить у відповідний добуток без інверсії, а якщо дорівнює 0 – із інверсією;
- скласти логічну суму добутків.

Сформульоване правило дозволяє записати структурну формулу без використання допоміжних функцій.

*Запис структурної формули у вигляді ЗКНФ.* Інший спосіб запису структурної формули за таблицею істинності може бути поданий у вигляді звершеної кон'юнктивної нормальної форми (ЗКНФ). Різниця полягає в тому, що число введених допоміжних функцій в табл. 2.4 відповідає числу нулів для функції  $y$ .

Допоміжні функції  $y_i$  будуються таким чином, що значенню  $y = 0$  відповідає значення  $y_i = 0$  при наявності в кожному стовпці семи одиниць. Такі функції називають макстермом або контінуентом нуля.

Для запису структурної формули у вигляді ЗКНФ в таблиці істинності потрібно:

- визначити всі рядки, де  $y = 0$ ;

- для кожного рядка скласти логічну суму всіх незалежних змінних, причому, якщо у ньому змінна дорівнює 0, то вона входить у вказану суму без інверсії, якщо дорівнює 1 – із інверсією;
- скласти логічний добуток всіх сум.

Таблиця 2.4

$x_3$	$x_2$	$x_1$	$y_1$	$y_2$	$y_3$	$y$
0	0	0	0	1	1	0
0	0	1	1	0	1	0
0	1	0	1	1	1	1
0	1	1	1	1	0	0
1	0	0	1	1	1	1
1	0	1	1	1	1	1
1	1	0	1	1	1	1
1	1	1	1	1	1	1

Із аналізу станів вхідних сигналів табл. 2.4 одержимо такі вирази для рівнянь алгебри логіки

$$y_1 = x_1 + x_2 + x_3, \quad y_2 = \bar{x}_1 + x_2 + x_3, \quad y_3 = \bar{x}_1 + \bar{x}_2 + x_3;$$

$$y = y_1 \cdot y_2 \cdot y_3 = (x_1 + x_2 + x_3) \cdot (\bar{x}_1 + x_2 + x_3) \cdot (\bar{x}_1 + \bar{x}_2 + x_3).$$

Структурні формули у вигляді ЗДНФ та ЗКНФ еквівалентні та можуть бути перетворені одна в іншу за допомогою законів та тотожностей алгебри логіки [1... 3].

Застосування законів та тотожностей дає можливість виконувати еквівалентні перетворення та спрощувати структурні формули ЛФ, тобто знаходити для них більш прості вирази. Прикладами еквівалентних перетворень є операції склеювання та поглинання. Так, для ЗДНФ, виконавши еквівалентні перетворення структурних формул, одержимо наступні вирази

$$A \cdot B + A \cdot \bar{B} = A \cdot (B + \bar{B}) = A \cdot 1 = A;$$

$$A \cdot B \cdot D + A \cdot \bar{B} \cdot \bar{D} = A \cdot (B \cdot D + \bar{B} \cdot \bar{D}) = A;$$

$$A \cdot B \cdot D + A \cdot \bar{B} \cdot \bar{D} = A \cdot (B \cdot D + \bar{B} \cdot \bar{D}) \neq A.$$

Операція склеювання двох додатків виконується тоді, коли додатки мають загальний множник. Інший співмножник в один додаток входить в інверсному вигляді, а в другий – у прямому. Результатом операції склеювання є загальний множник. У випадку, коли перший додаток входить як співмножник у другий додаток, то виконується операція поглинання. У результаті цієї операції перший додаток

$$A + A \cdot B = A \cdot (1 + B) = A \cdot 1 = A.$$



Для ЗКНФ після еквівалентних перетворень виразу алгебри логіки одержимо таке

$$(A + B) \cdot (A + \bar{B}) = A \cdot A + B \cdot A + A \cdot \bar{B} + B \cdot \bar{B} = A \cdot (1 + B + \bar{B}) = A.$$

Якщо маємо два співмножники, кожний із яких являє собою логічну суму, причому в цих сумах є однакові складові, а неоднакові складові інверсні, то можна здійснити операцію склеювання. Результатом цієї операції є загальна частина. Якщо один із двох співмножників входить в інший як додаток, то виконується операція поглинання. У результаті чого залишається загальна частина співмножників

$$A \cdot (A + B) = A + A \cdot B = A.$$

Використовуючи аналогічні перетворення, можна записати результат поглинання заперечення

$$\begin{aligned} A + \bar{A} \cdot B &= A + B, & \bar{A} + A \cdot B &= \bar{A} + B; \\ A \cdot (\bar{A} + B) &= A \cdot B, & \bar{A} \cdot (A + B) &= \bar{A} \cdot B. \end{aligned}$$

## 2.4 Мінімізація структурних формул за допомогою методу Квайна та карт Карно

Метою мінімізації є одержання еквівалентної структурної формули, що відповідає найменшій кількості логічних елементів (ЛЕ) у схемі. Досягнення мінімізованої форми ЛФ ґрунтується на еквівалентних (тотожних) перетвореннях структурних формул.

При мінімізації на основі карт Карно використовуються ті ж операції, що і при мінімізації за методом Квайна, але формою подання вихідних даних є карта з числом клітинок  $2^n$ , де  $n$  – кількість аргументів функції. Кожна карта відповідає одній функції, число  $n$  якої визначає розміри карти. Ознакою виконання операції склеювання є розташування в сусідніх клітинках одиниць. Відзначимо, що сусідніми вважаються також і крайні за вертикаллю і горизонталлю клітки, оскільки карта може бути згорнута в циліндр.

Кarti для трьох функцій  $y_1 = \bar{x}_2 \cdot \bar{x}_3$ ;  $y_2 = \bar{x}_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot x_3$ ;  $y_3 = x_1 \cdot \bar{x}_2 + x_2 \cdot x_3$  наведено на рис. 2.1. Операції склеювання показано замкненим контуром, який охоплює сусідні одиниці. Відповідно до карти одержимо мінімізовану структурну формулу, яка еквівалентна вихідній. Виконання операції склеювання приводить до поглинання змінних із різними значеннями.

$x_1$		0	1	1	0
$x_3$	$x_2$	0	0	1	1
		0	1	3	2
0		1	1	0	0
1		4	5	7	6
		0	0	0	0

a)

$x_1$		0	1	1	0
$x_3$	$x_2$	0	0	1	1
		0	1	3	2
0		1	1	0	1
1		4	5	7	6
		0	0	1	0

б)

$x_1$		0	1	1	0
$x_3$	$x_2$	0	0	1	1
		0	1	3	2
0		0	1	0	0
1		4	5	7	6
		0	1	1	1

в)

*a – для функції  $u_1$ ; б – для функції  $u_2$ ; в – для функції  $u_3$*   
*Рисунок 2.1 – Карти Карно*

*Правила склеювання за допомогою карт Карно:*

- при склеюванні двох сусідніх одиниць у виразі ЛФ випадає одна вхідна змінна, яка змінює свій стан із 1 на 0 або із 0 на 1;
- при склеюванні чотирьох сусідніх одиниць, які утворюють строку, стовпець або квадрат, у виразі ЛФ випадає дві вхідні змінні;
- при склеюванні восьми сусідніх одиниць у виразі ЛФ випадає три вхідні змінні.

При мінімізації за методом Квайна використовуються математичні перетворення ЛФ та операції склеювання й поглинання. Розглянемо три функції, які задано таблицею істинності (табл. 2.5).

Таблиця 2.5

$x_3$	$x_2$	$x_1$	$y_1$	$y_2$	$y_3$
0	0	0	1	1	0
0	0	1	1	1	1
0	1	0	0	1	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	0	1
1	1	0	0	0	1
1	1	1	0	1	1

Запишемо їх у вигляді ЗДНФ та математичними перетвореннями спростимо формули, використовуючи для цього операції склеювання та поглинання. Для першої функції одержимо

$$y_1 = \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 = \bar{x}_2 \cdot \bar{x}_3 \cdot (\bar{x}_1 + x_1) = \bar{x}_2 \cdot \bar{x}_3.$$

Функція  $y_2$  у виді ЗДНФ після математичних перетворень набуває наступного вигляду

$$y_2 = \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot x_3.$$

Виконуючи можливі операції склеювання, подамо  $y_2$  у формі

$$y_2 = \bar{x}_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot x_3.$$

Аналогічно, для  $y_3$  маємо

$$\begin{aligned} y_3 &= x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + x_1 \cdot \bar{x}_2 \cdot x_3 + \bar{x}_1 \cdot x_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_3 = \\ &= x_1 \cdot \bar{x}_2 + x_1 \cdot x_3 + x_2 \cdot x_3 = x_1 \cdot \bar{x}_2 + x_2 \cdot x_3. \end{aligned}$$

На цьому прикладі очевидні недоліки методу Квайна. По-перше, при складній ЛФ зростає кількість можливих варіантів склеювань та поглинань, а по-друге, можуть з'являтися зайві операції склеювання. Із цього можна зробити висновок: для функцій трьох-чотирьох змінних варто використовувати карти Карно, які забезпечують просту мінімізацію. У випадку ж більшого числа змінних (п'ять-шість) варто застосовувати метод Квайна.

Для одержання мінімізованої функції у кон'юнктивній формі використовують такі операції та прийоми, які описано вище для диз'юнктивних форм. Проілюструємо їхнє застосування на прикладах. За допомогою методу Квайна проведемо мінімізацію структурних формул логічних функцій, які

задано у табл. 2.6. Приймаючи до уваги ту обставину, що  $(A+B)(A+\bar{B})=A$ , запишемо таке

$$y_1 = (x_1 + x_2 + x_3) \cdot (\bar{x}_1 + x_2 + x_3) = x_2 + x_3;$$

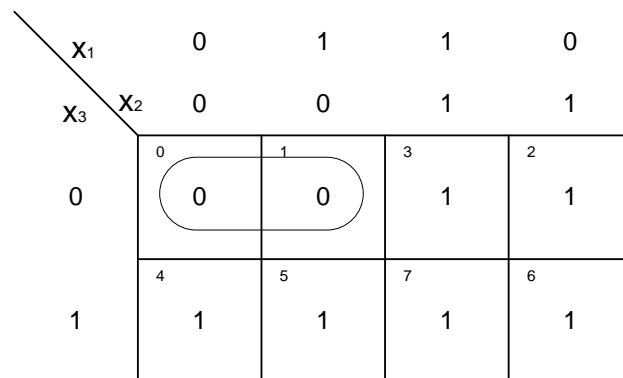
$$y_2 = (\bar{x}_1 + \bar{x}_2 + \bar{x}_3) \cdot (\bar{x}_1 + x_2 + \bar{x}_3) \cdot (x_1 + x_2 + \bar{x}_3) \cdot (\bar{x}_1 + \bar{x}_2 + x_3) =$$

$$= (\bar{x}_1 + x_2) \cdot (\bar{x}_2 + \bar{x}_3).$$

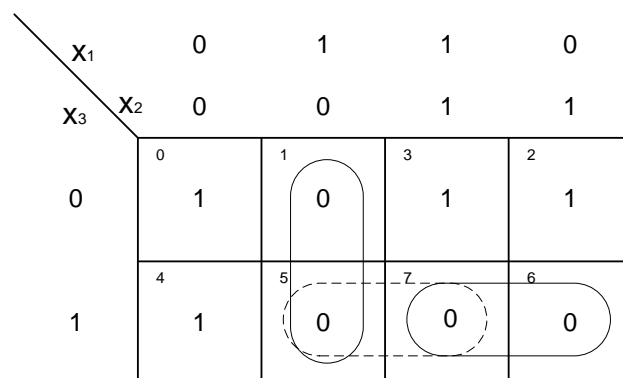
Таблиця 2.6

$x_3$	$x_2$	$x_1$	$y_1$	$y_2$
0	0	0	0	1
0	0	1	0	0
0	1	0	0	1
0	1	1	0	1
1	0	0	0	1
1	0	1	0	0
1	1	0	1	0
1	1	1	1	0

Ті ж функції  $y_1$  та  $y_2$  можна мінімізувати за допомогою карт Карно (див. рис. 2.2).



а)



б)

а – логічна функція  $y_1$ ; б – логічна функція  $y_2$

Рисунок 2.2 – Мінімізація функцій  $y_1$  та  $y_2$  за допомогою карт Карно

Додаткові прийоми мінімізації структурної формули дозволяють у ряді випадків істотно скоротити структурну формулу. Ці прийоми припускають:

- застосування закону заперечення

$$\overline{x_1 \cdot x_2} = \overline{x_1} + \overline{x_2};$$

- використання розподільного закону

$$x_1 \cdot x_2 + x_1 \cdot x_3 = x_1 \cdot (x_2 + x_3);$$

- додавання у вираз для структурної формули додатків, тотожно рівних нулю

$$\begin{aligned} y &= x_1 \cdot \overline{x_2} + \overline{x_1} \cdot x_2 = x_1 \cdot \overline{x_2} + \overline{x_1} \cdot x_2 + x_1 \cdot \overline{x_1} + x_2 \cdot \overline{x_2} = \\ &= x_1 \cdot (\overline{x_2} + \overline{x_1}) + x_2 \cdot (\overline{x_2} + \overline{x_1}) = (x_1 + x_2) \cdot (\overline{x_1} + \overline{x_2}) = \overline{x_1 \cdot x_2} \cdot (x_1 + x_2). \end{aligned}$$

Після додавання додатків, які тотожно рівні нулю, потім застосування двічі розподільного закону та закону заперечення, одержали структурну формулу, яка містить на один елемент НІ менше, ніж вихідна формула.

Не цілком (частково) визначеними логічними функціями називають функції, значення яких задано лише для частини можливих наборів їхніх вхідних сигналів. Розглянемо приклад.

**Приклад.** У логічному пристрої (рис. 2.3) вихідний сигнал  $y_1$  приймає значення  $y_1=1$ , якщо три розрядний двійковий код  $K$  на вході змінюється від 1 до 7, буде мати значення  $K=1$ , а якщо  $K \neq 1$ , то  $y_1 = 0$ .

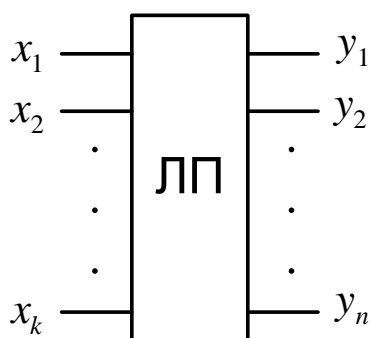


Рисунок 2.3 – Структура логічного пристрою

Заповнимо таблицю істинності для  $y_1$  (табл. 2.7). У першому рядку можна поставити значення  $y_1$  як 0 так і 1, що не суперечить словесному опису. Отже, у першому рядку має місце невизначеність, що відзначається знаком  $\Phi$  у таблиці. Таким чином,  $y_1$  не цілком визначена на наборі аргументів  $x_1, x_2, x_3$ . Вихідний сигнал  $y_2$  приймає значення  $y_2 = 1$ ,  $K$  приймає значення при  $K = 1$  і  $K = 2$ , змінюючись від 1 до 5. В інших припустимих

випадках  $y_2 = 0$ . При заповненні таблиці істинності (табл. 2.7), невизначеність  $y_2$  відзначимо знаками  $\Phi_1, \Phi_2, \Phi_3$ .

При мінімізації функції  $y_1$  за методом Квайна приймаємо  $\Phi = 1$  та подаємо ЗДНФ у вигляді

$$y_1 = \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 = \bar{x}_2 \cdot \bar{x}_3.$$

Таблиця 2.7

$x_3$	$x_2$	$x_1$	$y_1$	$y_2$
0	0	0	$\Phi$	$\Phi_1$
0	0	1	1	1
0	1	0	0	1
0	1	1	0	0
1	0	0	0	0
1	0	1	0	0
1	1	0	0	$\Phi_2$
1	1	1	0	$\Phi_3$

Відзначимо, що перший додаток є необов'язковим та відповідає  $\Phi$ . Використання цього додатка дозволяє спростити функцію  $y_1$ . Для  $y_2$  припустимо, що усі  $\Phi_i = 1$ , тоді одержимо наступне

$$y_2 = \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_3.$$

Тут перший, четвертий та п'ятий додатки є необов'язковими. Використовуючи операції склеювання стосовно до першого та другого, до першого та третього, третього та четвертого, а також до четвертого та п'ятого, маємо

$$y_2 = \bar{x}_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2 + x_2 \cdot x_3.$$

Якщо прийняти  $\Phi_1 = 1$ , а  $\Phi_2 = \Phi_3 = 0$ , то мінімізована функція  $y_2$  буде мати простий вигляд

$$y_2 = \bar{x}_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot \bar{x}_3.$$

Мінімізацію функцій  $y_1$  та  $y_2$  можна провести також із використанням карт Карно (рис. 2.4а, б відповідно). Причому в цьому випадку вибір значень  $\Phi_i$  визначається розташуванням одиниць у клітинках карт.

## 2.5 Методи мінімізації системи логічних функцій

Системою ЛФ звичайно описується пристрій із декількома виходами. Спосіб мінімізації такої системи розглянемо на прикладах.

**Приклад 2.1** На рис. 2.5а наведено умовне зображення напівсуматора, який призначено для додавання двох двійкових цифр із формуванням суми ( $S$ ) та цифри переносу в наступний розряд ( $p$ ). Процес підсумовування двох двійкових змінних описується двома ЛФ наступного вигляду

$$S = f_1(x_1, x_2), \quad p = f_2(x_1, x_2).$$

$x_1$	0	1	1	0
$x_2$	0	0	1	1
	0	1	3	2
0	Φ	1	0	0
1	4	5	7	6
	0	0	0	0

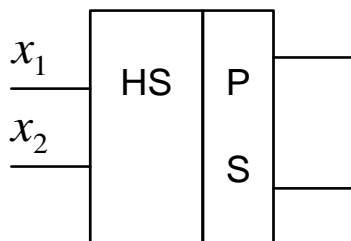
а)

$x_1$	0	1	1	0
$x_2$	0	0	1	1
	0	1	3	2
0	Φ <sub>1</sub>	1	0	1
1	4	5	7	6
	0	0	Φ <sub>3</sub>	Φ <sub>2</sub>

б)

а – логічна функція  $y_1$ ; б – логічна функція  $y_2$

Рисунок 2.4 – Мінімізація функцій за допомогою карт Карно



а)

$x_1$	$x_2$	$S$	$P$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

б)

а – умовне зображення; б – таблиця істинності

Рисунок 2.5 – Умовне зображення та таблиця істинності напівсуматора

Відповідно до правил додавання складемо таблицю істинності та запишемо структурні формули роботи цифрового пристрою. Безпосереднє використання методу Квайна або карт Карно не дозволяє провести подальше спрощення логічних виразів. Тому використовуємо наступне подання результату підсумовування

$$S = S' = f_3(x_1, x_2, p).$$

Складемо таблицю істинності для вихідної величини  $S'$  як функції трьох змінних. Використаємо для цього вихідну таблицю істинності (див. рис. 2.5, б) та правила роботи пристрою (табл. 2.8), що проектуємо.

Таблиця 2.8

$p$	$x_2$	$x_1$	$S'$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	$\Phi_1$
1	0	0	$\Phi_2$
1	0	1	$\Phi_3$
1	1	0	$\Phi_4$
1	1	1	0

Відповідно до цих правил у випадку  $x_1 = x_2 = 1, p = 1$ . Це означає, що не повинна виникати комбінація вхідних сигналів  $px_1x_2 = 011$ . У таблиці істинності така комбінація відзначається знаком  $\Phi_1$ . Аналогічним способом відзначаються знаками  $\Phi_2, \Phi_3, \Phi_4$  комбінації вхідних сигналів 100, 101, 110. Карта Карно для не цілком визначеної ЛФ  $S' = f_3(x_1, x_2, p)$  наведена на рис. 2.6. За допомогою цієї карти отримаємо спрощену структурну формулу

$$S' = x_1 \cdot \bar{p} + x_2 \cdot \bar{p} = (x_1 + x_2) \cdot \bar{p}, \text{ де } p = x_1 \cdot x_2.$$

$x_1$	0	1	1	0	
$p$	$x_2$	0	0	1	1
0	0	1	$\Phi_1$	1	
1	$\Phi_2$	$\Phi_3$	0	$\Phi_4$	

Рисунок 2.6 – Карта Карно напівсуматора



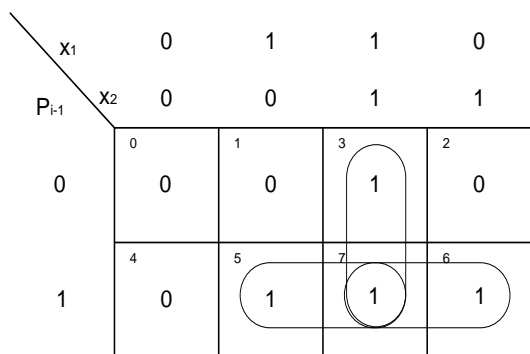
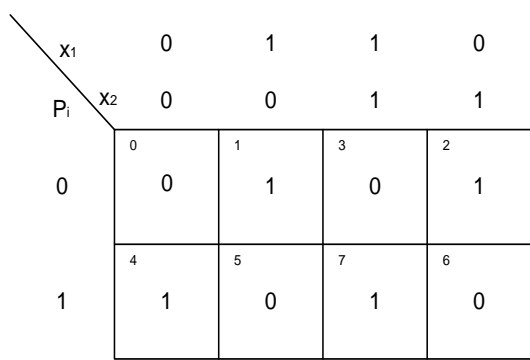
Порівнюючи цю формулу із вихідною, бачимо, що для її реалізації потрібно зменшити кількість логічних операцій.

**Приклад 2.2** Потрібно побудувати одно розрядний комбінаційний суматор. Цей пристрій, призначено для реалізації двох функцій: додавання двох двійкових цифр із урахуванням переносу, який виникає у попередньому розряді, та із формуванням цифр суми та переносу для наступного розряду.

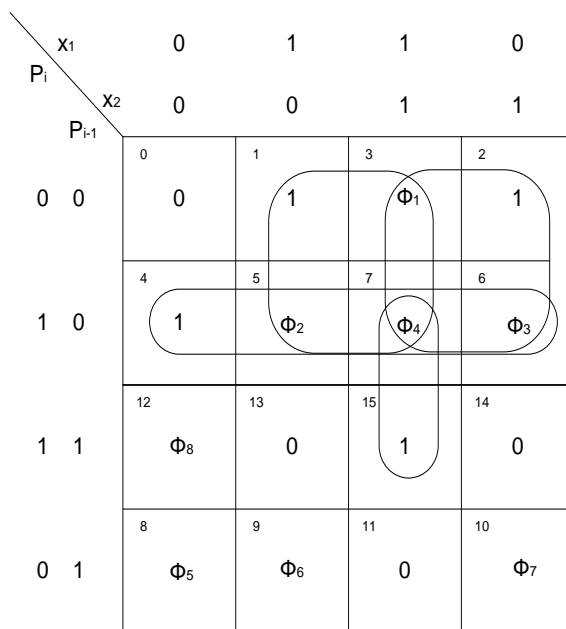
Проведемо мінімізацію кожної функції окремо за допомогою карт Карно для ЗДНФ (рис. 2.7а). Карти Карно дозволяють отримати мінімізовану структурну формулу комбінаційного суматора у такому вигляді

$$S = \bar{p}_{i-1} \cdot \bar{x}_2 \cdot x_1 + \bar{p}_{i-1} \cdot x_2 \cdot \bar{x}_1 + p_{i-1} \cdot \bar{x}_2 \cdot \bar{x}_1 + p_{i-1} \cdot x_2 \cdot x_1,$$

де  $p_i = x_2 \cdot x_1 + p_{i-1} \cdot x_2 + p_{i-1} \cdot x_1$ .



а)



б)

а – функції додавання, б – формування результату

Рисунок 2.7 – Карты Карно

Складемо таблицю істинності для функції  $S' = f(p_{i-1}, x_1, x_2, p_i)$ , виходячи із правил роботи цифрового пристрою (табл. 2.9). За таблицею та картою Карно (рис. 2.7б) запишемо структурну формулу для не цілком визначеної функції  $S'$  у такому вигляді

$$S' = x_1 \cdot \bar{p}_i + x_2 \cdot \bar{p}_i + p_{i-1} \cdot \bar{p}_i + x_1 \cdot x_2 \cdot p_{i-1}.$$

У результаті порівняння виразів для  $S$  та  $S'$  бачимо, що число логічних операцій у формулі  $S'$  зменшилось. Тому структурна формула  $S'$  має простіший вигляд та реалізується меншою кількістю ЛЕ.

Таблиця 2.9

$p_i$	$p_{i-1}$	$x_2$	$x_1$	$S'$
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	$\Phi_1$
0	1	0	0	1
0	1	0	1	$\Phi_2$
0	1	1	0	$\Phi_3$
0	1	1	1	$\Phi_4$
1	0	0	0	$\Phi_5$
1	0	0	1	$\Phi_6$
1	0	1	0	$\Phi_7$
1	0	1	1	0
1	1	0	0	$\Phi_8$
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

### Контрольні запитання

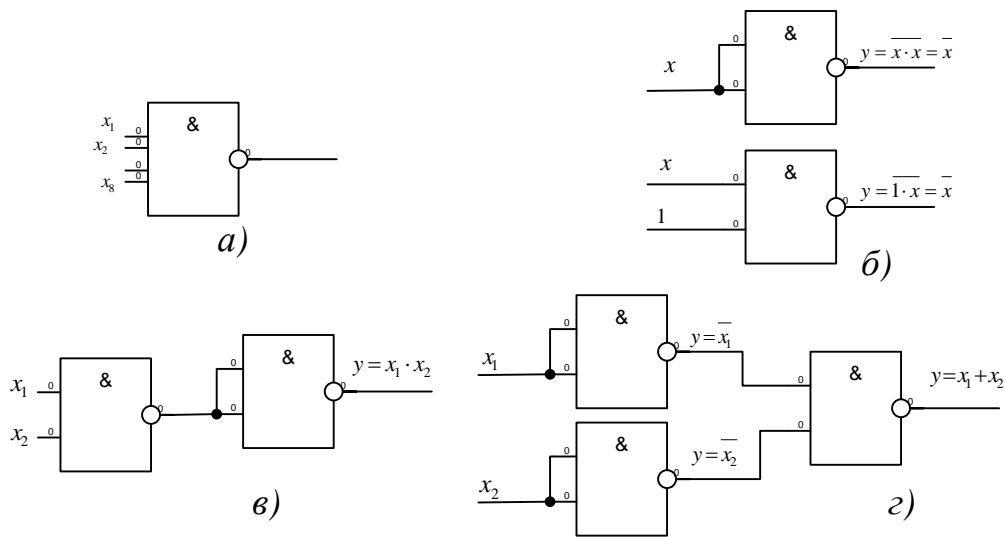
1. Яким чином організовано двійкову систему числення?
2. Які ви знаєте закони алгебри логіки?
3. Сформулюйте основні тотожності алгебри логіки.
4. У чому полягає табличний засіб подання логічної функції?
5. Що таке ЗДНФ та ЗКНФ?
6. Сформулюйте правила склеювання у картах Карно.
7. На використанні яких математичних законів побудовано метод Квайна?
8. Які методи мінімізації систем логічних функцій вам відомі?

### 3 МЕТОДИ СИНТЕЗУ ЦИФРОВИХ ПРИСТРОЇВ

#### 3.1 Універсальні логічні елементи

Для задоволення вимогам однорідності функціональної схеми застосовуються універсальні ЛЕ. До них відносяться такі схеми: І-НІ, АБО-НІ, І-АБО-НІ.

І-НІ (елемент Шеффера) зображено на рис. 2.1а. ЛФ може бути записана у вигляді  $y = \overline{x_1 \cdot x_2 \cdot \dots \cdot x_n}$ . За допомогою такого ЛЕ можна побудувати ЛФ НІ, І, АБО (рис. 3.1б, в, г відповідно).



*а – умовне зображення логічного елемента І-НІ;*

*б – застосування для отримання інверсії; в – кон'юнкції; г – диз'юнкції*

*Рисунок 3.1 – Варіант використання ЛЕ І-НІ*

Використовуючи ЛЕ АБО-НІ, також можна реалізувати ЛФ НІ, І, АБО. ЛЕ І-НІ чи АБО-НІ мають властивість подвійності. Дійсно, замінюючи в таблиці істинності ЛЕ І-НІ (табл. 3.1) символи 0 на 1 та 1 на 0, одержимо табл. 3.2.

*Таблиця 3.1*

x <sub>2</sub>	x <sub>1</sub>	y
0	0	1
0	1	1
1	0	1
1	1	0

*Таблиця 3.2*

x <sub>2</sub>	x <sub>1</sub>	y''
1	1	0
1	0	0
0	1	0
0	0	1

*Таблиця 3.3*

x <sub>2</sub>	x <sub>1</sub>	y'
0	0	1
0	1	0
1	0	0
1	1	0

Порівнюючи цю таблицю із таблицею істинності ЛЕ АБО-НІ (табл. 3.3) бачимо, що вони збігаються. Побудову ЛЕ І-АБО-НІ подано на рис. 3.2. Реалізована ним ЛФ має такий вигляд

$$y = \overline{x_1 \cdot x_2 + x_3 \cdot x_4}$$

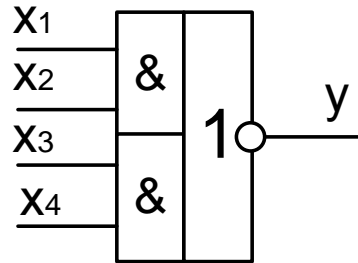


Рисунок 3.2 – Умовне зображення елемента 2І-2АБО-НІ

Так, наприклад, якщо  $x_1 = x_3 = 1$ , то  $y = \overline{x_2 + x_4}$ . При  $x_1 = 0, x_2 = 1$  маємо  $y = \overline{x_3 \cdot x_4}$ .

### 3.2 Приклади побудови комбінаційних пристроїв

Розглянемо, насамперед, приклади побудови комбінаційного пристрою (КП) на ЛЕ І-НІ.

**Приклад 3.1** Потрібно побудувати пристрій, який реалізує функцію  $y_1 = x_1 + x_2 \cdot \bar{x}_3$ . Перетворимо ЛФ за допомогою правила де Моргана, виключивши із неї операції АБО

$$y = x_1 + x_2 \cdot \bar{x}_3 = \overline{\overline{x_1 + x_2 \cdot \bar{x}_3}} = \overline{\bar{x}_1 \cdot x_2 \cdot \bar{x}_3}$$

Схема, яка реалізує цю структурну формулу, наведена на рис. 3.3.

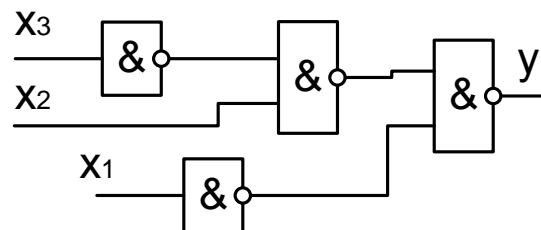


Рисунок 3.3 – Схема пристрою на ЛЕ І-НІ

Із розглянутого прикладу видно, що при реалізації ЛФ на ЛЕ І-НІ доцільно використовувати подання цієї функції в ЗДНФ. Ця рекомендація підтверджується наступним прикладом.

**Приклад 3.2.** Для реалізації ЛФ

$$y = x_1 \cdot x_2 + x_1 \cdot x_3 = \overline{\overline{x_1 \cdot x_2 + x_1 \cdot x_3}} = \overline{x_1 \cdot x_2 \cdot x_1 \cdot x_3}$$

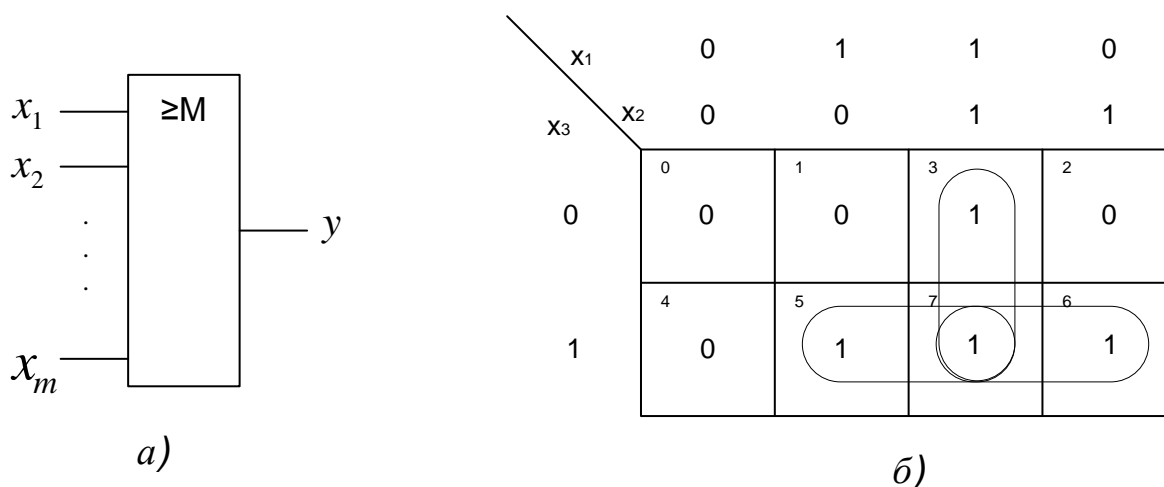
потрібно три ЛЕ І-НІ. Переходячи до подання функції в ЗКНФ, маємо

$$y = x_1(x_2 + x_3) = x_1(\overline{\overline{x_2 + x_3}}) = \overline{\overline{x_1 \cdot \overline{x_2} \cdot \overline{x_3}}}$$

Для реалізації цієї ЛФ буде потрібно вже п'ять ЛЕ І-НІ.

**Приклад 3.3** Синтезувати мажорний елемент (рис. 3.4,а), який являє собою пристрій із непарним числом  $m$  входів. У нього на виході  $y = 1$ , якщо на більшості входів сигнали рівні 1, та  $y = 0$ , якщо на більшості входів сигнали рівні 0. Склавши відповідно до словесного опису роботи пристрою таблицю істинності (табл. 3.4), одержимо за допомогою карти Карно (рис. 3.4, б) мінімізовану ЛФ для  $m=3$

$$y = x_1 \cdot x_3 + x_1 \cdot x_2 + x_2 \cdot x_3.$$



а – зображення мажорного елемента; б – карта Карно  
Рисунок 3.4 – Умовне зображення елемента та його карта Карно

Виключивши за допомогою правила де Моргана операції АБО, одержимо

$$y = x_1 \cdot x_3 + x_1 \cdot x_2 + x_2 \cdot x_3 = \overline{\overline{x_1 \cdot x_3 \cdot x_1 \cdot x_2 \cdot x_2 \cdot x_3}}$$

Реалізація цього виразу можлива на ЛЕ І-НІ.

Таблиця 3.4

$x_3$	$x_2$	$x_1$	$y$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

**Приклад 3.4.** Побудувати одно розрядний комбінаційний суматор на ЛЕ І-НІ. Робота суматора описується функціями

$$p_i = x_1x_2 + x_1p_{i-1} + x_2p_{i-1},$$

$$S = \overline{x_1x_2p_{i-1}} + \overline{x_1x_2p_{i-1}} + \overline{x_1x_2p_{i-1}} + \overline{x_1x_2p_{i-1}}.$$

Після відповідних еквівалентних перетворень та застосувавши правило де Моргана, одержимо

$$S = \overline{x_1x_2p_{i-1}} \overline{x_1x_2p_{i-1}} \overline{x_1x_2p_{i-1}} \overline{x_1x_2p_{i-1}}, \quad p = \overline{x_1x_2x_1p_{i-1}x_2p_{i-1}}.$$

Схема пристрою на елементах І-НІ наведена на рис. 3.5.

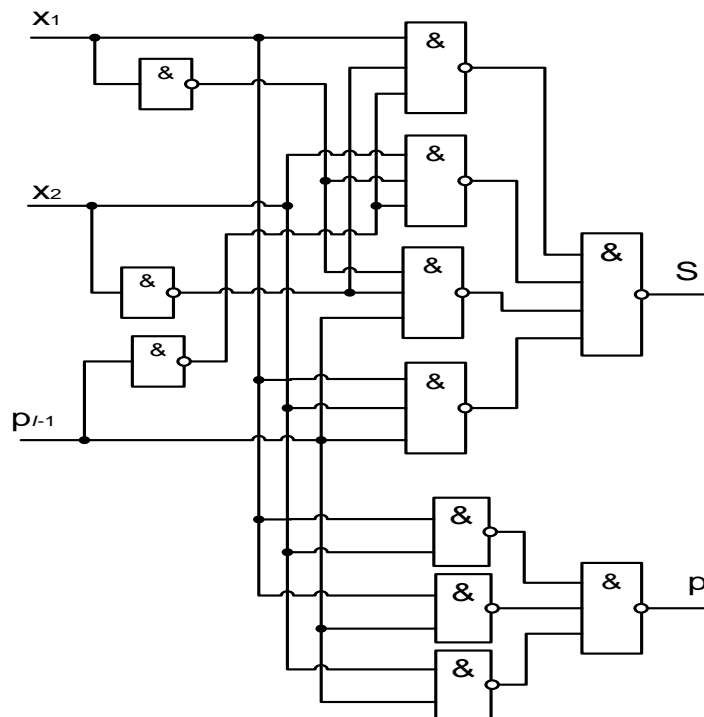


Рисунок 3.5 – Схема одно розрядного суматора на елементах І-НІ

При побудові КП на елементах АБО-НІ необхідно ЛФ перетворити таким чином, щоб виключити операцію І.

**Приклад 3.5.** Розглянемо ЛФ вигляду

$$y = x_1 \cdot x_2 + x_1 \cdot x_3 = \overline{\overline{x_1 \cdot x_2 + x_1 \cdot x_3}} = \overline{\overline{x_1} + \overline{x_2} + \overline{x_1} + \overline{x_3}}.$$

Для її реалізації потрібно сім ЛЕ АБО-НІ. Переводячи цю функцію в ЗКНФ, отримаємо

$$y = x_1 \cdot (x_2 + x_3) = \overline{\overline{x_1 \cdot (x_2 + x_3)}} = \overline{\overline{x_1} + x_2 + x_3} = \overline{\overline{x_1} + x_2 + x_3}.$$

Для реалізації такої функції буде потрібно три ЛЕ АБО-НІ. Із приклада видно, що при синтезі електронних пристроїв на ЛЕ АБО-НІ доцільно використовувати подання логічної функції в ЗКНФ.

**Приклад 3.6** Розглянемо синтез мажорного елемента (приклад 3). По табл. 2.4 за допомогою карт Карно одержимо мінімізовану функцію та запишемо її, використовуючи для цього операції АБО-НІ

$$y = (x_2 + x_3)(x_1 + x_2)(x_1 + x_3) = \overline{\overline{(x_2 + x_3)(x_1 + x_2)(x_1 + x_3)}} = \overline{\overline{x_2 + x_3 + x_1 + x_2 + x_1 + x_3}}.$$

Подаючи функцію в ЗДНФ, маємо таку формулу

$$y = x_1x_2 + x_1x_3 + x_2x_3 = \overline{\overline{x_1x_2 + x_1x_3 + x_2x_3}} = \overline{\overline{\overline{x_1} + \overline{x_2} + \overline{x_1} + \overline{x_3} + \overline{x_2} + \overline{x_3}}}.$$

Очевидно, що в другому випадку при реалізації пристрою буде потрібна більша кількість ЛЕ.

### 3.3 Загальна задача синтезу комбінаційних пристроїв

Вихідними даними для проектування КП є їхній словесний опис та вимоги до основних електричних параметрів. У задачу синтезу входить одержання структурної схеми мінімальної складності, яку реалізовано на заданому чи обраному типі ЛЕ. Першим етапом синтезу КП із одним виходом є складання таблиці істинності за словесним описом.

Призначенням другого етапу є одержання ЛФ, причому на цьому етапі прагнуть одержати найбільш простий (мінімізований) її логічний вираз. У більшості випадків процес спрощення виразу ЛФ зводиться

до застосування операцій склеювань й поглинань. При використанні алгебраїчних методів мінімізації (методів Квайна та Квайна – Мак-Класкі) по таблиці істинності записується ЗДНФ (чи ЗКНФ) та проводиться склеювання наявних добутоків (чи сум) [1...3]. При графічному методі, який використовує карти Карно [1], по таблиці істинності за допомогою карти Карно виявляють усі можливі склеювання й поглинання, а потім записують мінімізовану структурну формулу.

Після одержання мінімізованої ЛФ за допомогою цих методів можна спробувати досягти подальшого спрощення структурної формули шляхом використання додаткових прийомів мінімізації. До них відносяться: застосування закону заперечення, використання розподільного закону та додавання складових тотожно рівних 0.

На третьому етапі синтезу записують мінімізовану структурну формулу в заданому базисі у вигляді комбінації операцій, які виконуються заданим або обраним типом ЛЕ. Цей запис виконується за допомогою відповідних прийомів. Так, при її реалізації на ЛЕ І-НІ над диз'юнктивною формою ставлять два знаки інверсії та за допомогою закону заперечення перетворюють інверсію диз'юнкції в кон'юнкцію інверсій. У результаті виходить логічний вираз, який містить тільки операції І-НІ.

Четвертим етапом синтезу є складання структурної схеми пристрою. На цьому етапі кожній логічній операції структурної формули ставлять у відповідність визначений ЛЕ заданого типу (базису). На основі структурної формули здійснюють необхідні з'єднання між ЛЕ.

У загальному випадку реалізація отриманої мінімізованої функції має багато варіантів, які обумовлено типом ЛЕ та вимог до пристрою (швидкодія, простота реалізації, вартість та ін.). Проілюструємо можливе різноманіття рішень задачі побудови КП.

**Приклад.** Побудувати схему, яка забезпечує мінімальні апаратні витрати і затримки сигналів при реалізації функції  $y = \bar{a} \cdot \bar{c} + \bar{b} \cdot \bar{c} + \bar{d}$ .

Схемна реалізація заданої ЛФ приведена на рис. 3.6а. Апаратні витрати будемо оцінювати за кількістю корпусів мікросхем. Доцільно при використанні ЛЕ однієї серії покласти, що затримки сигналів ЛЕ різного типу однакові на рівні деякої усередненої для даної серії величини  $\tau$ . Оскільки затримки поширення сигналу в інверторі та елементі І-АБО-НІ однакові, то затримка сигналів усієї схеми дорівнює  $T_1 = 3\tau$ . Схема складається із п'яти інверторів, кожний займає 1/6 корпусу мікросхеми ЛН1, а також ЛЕ І-АБО-НІ, який займає корпус мікросхеми ЛР3. Таким чином, апаратні витрати  $W$  можна оцінити за допомогою такого виразу

$$W_1 = 5 \cdot 1/6 + 1 = 22/12.$$

Схемна реалізація заданої ЛФ приведена на рис. 3.6а.



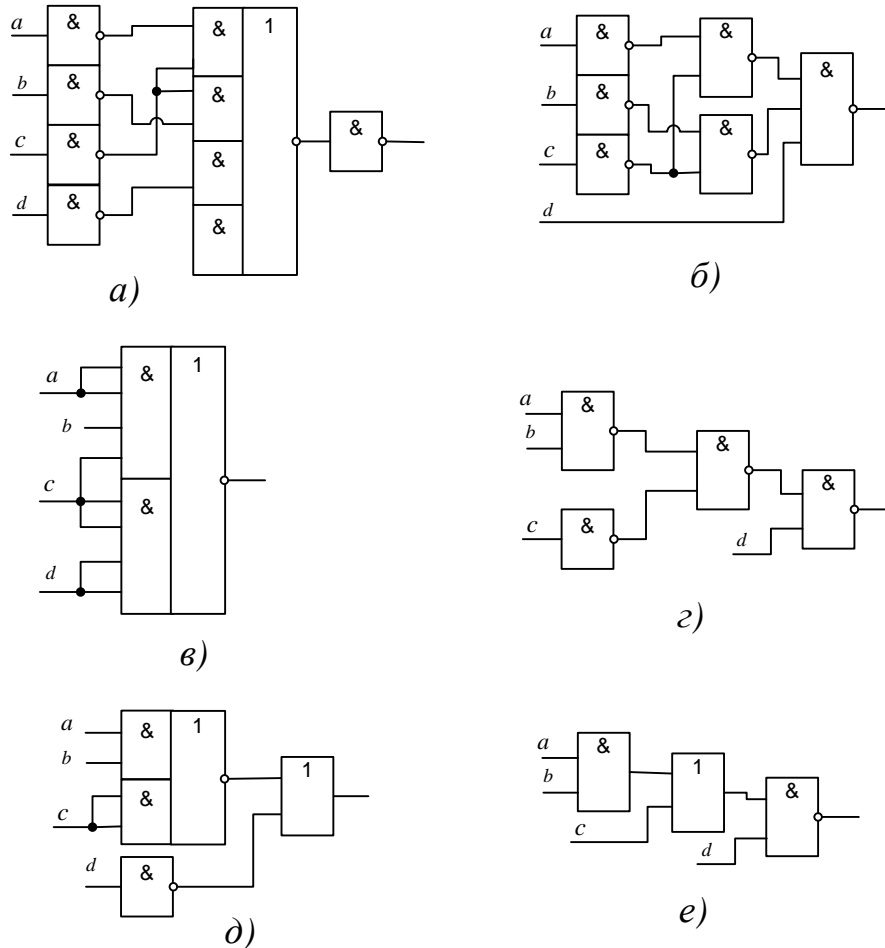


Рисунок 3.6 – Варіанти схемної реалізації заданої функції

Невикористані елементи частково зайнятого корпуса (у даному випадку шостий інвертор у ІС ЛН1) не враховуються, тому що вони можуть бути застосовані в інших пристроях. Оскільки в ІС ЛРЗ частина входів не використовується, то доцільно будувати схему за допомогою елементів І-НІ, які мають меншу кількість входів. Застосовуючи закони заперечення до заданої формули, одержимо таке

$$y_1 = \overline{\overline{\overline{a \cdot c} + \overline{b \cdot c} + \overline{d}}} = \overline{\overline{\overline{a \cdot c} + \overline{b \cdot c} + \overline{d}}}$$

При реалізації функції цього виду (рис. 2.6б) затримка сигналу та апаратні витрати дорівнюють

$$t_2 = 3\tau; \quad W_2 = 3 \cdot 1/6 + 2 \cdot 1/4 + 1 \cdot 1/3 = 16/12.$$

Продовжуючи перетворення заданої ЛФ, одержимо наступний вираз (рис. 2.6в)

$$y_2 = \overline{\overline{\overline{a \cdot c} + \overline{b \cdot c} + \overline{d}}} = (\overline{a + b}) \cdot \overline{c} + \overline{d} = \overline{\overline{\overline{a + b} + c + \overline{d}}} = \overline{\overline{a \cdot b + c + \overline{d}}}.$$

У цьому випадку  $T_3=2\tau$ ,  $W_3 = 11/12$ .

Можна одержати ще один вид запису структурної формули

$$y_3 = \overline{a \cdot b + c} + \bar{d} = \overline{(a \cdot b + c) \cdot d},$$

при реалізації якої (рис. 2.6г), потрібно менше корпусів ІС  $W_4 = 9/12$  при  $T_4=3\tau$ . При подальшому перетворенні формули одержимо

$$y_4 = \overline{a \cdot b \cdot d + c \cdot d}.$$

Структурну схему для  $y_4$  подано на рис. 2.6д

$$W_5 = 12/12, T_3 = \tau.$$

При прагненні реалізувати задану функцію за допомогою одного типу ЛЕ її можна записати у вигляді

$$y_3 = \overline{a \cdot b \cdot \bar{c}} + \bar{d} = \overline{\overline{\overline{a \cdot b \cdot \bar{c} \cdot d}}}.$$

У структурній схемі (рис. 2.6е) потрібен один корпус двоходових елементів І-НІ (К555ЛА3), тобто  $W_6 = 12/12$  при  $T_6=3\tau$ . Таким чином, як видно із прикладу, можливі різні схемні реалізації однієї і тієї ж структурної формули, яку отримано в результаті використання процедури мінімізації. У тому випадку, коли ЛФ є не цілком визначеною, на другому етапі синтезу функцію до визначають таким чином, щоб максимально спростити структурну формулу. При синтезі КП із декількома виходами потрібно мінімізувати системи ЛФ, які описують роботу такого пристрою. У цьому випадку прагнуть так виділити у функціях загальні складові, щоб з відповідних їм вузлів пристрою можна було здійснити розгалуження сигналу на кілька напрямків.

### **3.4 Проектування комбінаційних пристроїв, вільних від змагань сигналів**

При синтезі КП на ІС однією із основних задач є забезпечення їхньої функціональної надійності. Під функціональною надійністю КП мають на увазі його властивість точно реалізовувати заданий алгоритм, тобто значення сигналу на виході КП повинне точно відповідати значенню синтезованої функції цього пристрою. Алгеброю логіки не розглядаються процеси переходу КП із одного стану в інший, тому що апарат алгебри логіки

не враховує часові (інерційні) параметри ЛЕ (затримку сигналів у ЛЕ) і структуру сигналів (кінцеву тривалість фронту і спаду імпульсів).

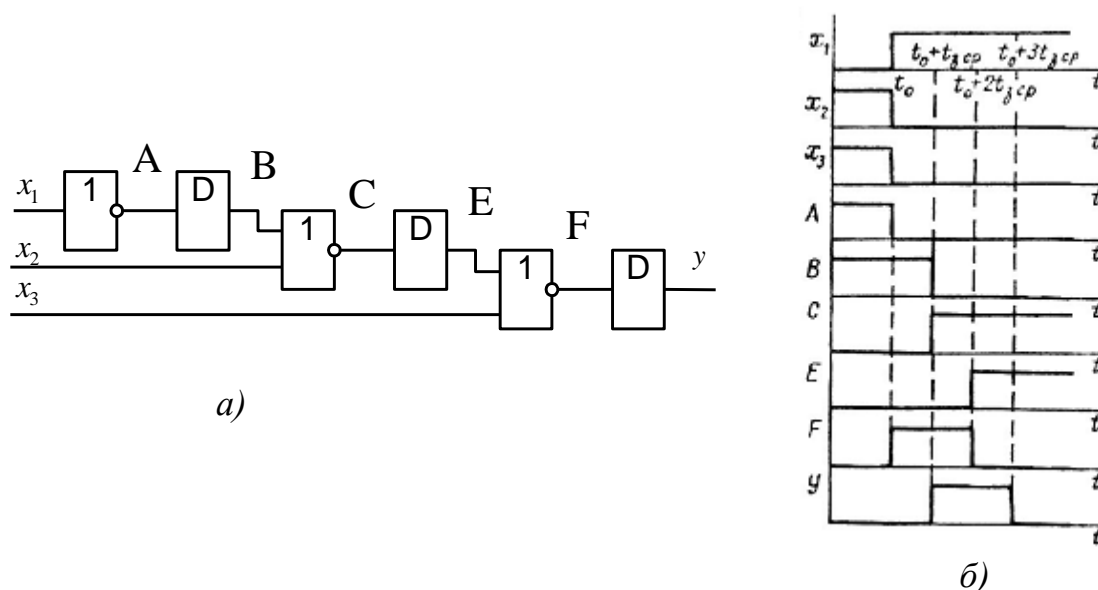
Наявність затримки сигналів у ЛЕ, а також розкид величини цієї затримки й кінцеві тривалості перепадів вхідних сигналів призводять до того, що під час перехідних процесів пристрій функціонує із порушенням законів алгебри логіки, в ньому спостерігається змагання сигналів.

Змагання сигналів може бути безпечним та небезпечним. *Безпечними* є змагання, які не призводять до виникнення на виході пристрою зміни рівня сигналу, що не передбачено його алгоритмом роботи. Небезпечні змагання розрізняють за місцем їх виникнення в умовах переходу КП із одного стану в інший. Розрізняють змагання сигналів на входах і виходах ЛЕ.

Змагання сигналів на входах мають місце, якщо під час перехідних процесів виникають моменти часу, коли сигнали на обох входах набувають однакового логічного рівня. Виникнення змагань сигналів у ЛЕ КП потребує пояснення. ЛЕ у більшості випадків подається у вигляді двох частин: одна без інерційно виконує ЛФ, інша включена слідом за першою і є елементом затримки на час, рівний середній затримці сигналів  $t_{зсер}$ .

Використовуючи таке подання ЛЕ, розглянемо приклад послідовного з'єднання декількох елементів, які реалізують ЛФ (рис. 3.7а).

$$y = x_1 + x_2 + x_3.$$



а – модель КП; б – часові діаграми

Рисунок 3.7 – Приклад появи завади при виникненні запізнь

Припустимо, що при  $t < t_0$  значення  $x_1 = 0$ ,  $x_2 = x_3 = 1$ , а при  $t = t_0$  вхідні сигнали інвертуються. Без урахування затримок значення вихідного сигналу  $y = 0$ . Простежимо динаміку роботи пристрою, використовуючи для цього модель та часові діаграми вхідних і вихідних сигналів. Ці сигнали подані на рис. 3.7б.

Елементи затримки  $D$  включено послідовно із ЛЕ, затримуючи проходження сигналів на  $t_{3\text{ср}}$  у точках  $B, E$  й на виході  $Y$ . Результати аналізу роботи КП наведено в таблиці (рис. 3.7б). Із таблиці видно, що на виході  $Y$  виникає завада тривалістю  $2 t_{3\text{ср}}$  у вигляді логічної 1.

Залежно від умов переходу КП від одного стану до іншого розрізняють статичні й динамічні змагання. Якщо для двох послідовних у часі сусідніх станів сигналів на входах стан виходу повинен залишатися незмінним, то змагання в пристрої називають *статичними*. Якщо два послідовних у часі сусідні стани входів повинні мати перехід стану на виході, то змагання, які мають місце в пристрої, називають *динамічними*.

Статичні змагання підрозділяють на одиничні та нульові. *Одиничні* змагання з'являються у випадку, коли при зміні вхідних сигналів на виході КП повинно зберегтися значення логічної 1, а в результаті змагань з'являється 0. При *нульових* змаганнях під час перехідного процесу на виходах з'являється 1, коли повинен зберігатись нуль.

Приведемо приклади утворення неалгоритмічних переходів при статичних змаганнях. Для ілюстрації розглянемо пристрій (рис. 3.8), який описується ЛФ  $y = x_1 \cdot x_2 \cdot x_3 \cdot x_1$ . Часові діаграми, котрі пояснюють виникнення змагань сигналів, приведено на рис. 3.8б. Причому в ЛЕ НІ затримка сигналу дорівнює  $t_{31}$ , а в ЛЕ І-НІ –  $t_{32}$ . Із аналізу часових діаграм видно, що в КП виникли два неалгоритмічних переходи (одиничного змагання). Процес утворення нульових змагань покажемо на прикладі КП (рис. 3.8а), який реалізує ЛФ  $y = \bar{x}_1 \cdot x_2 + x_3 \cdot x_1$ . Як неважко переконатися (рис. 3.9б), у такому пристрої можливе виникнення нульових змагань. Складаємо таблицю істинності (табл. 3.5).

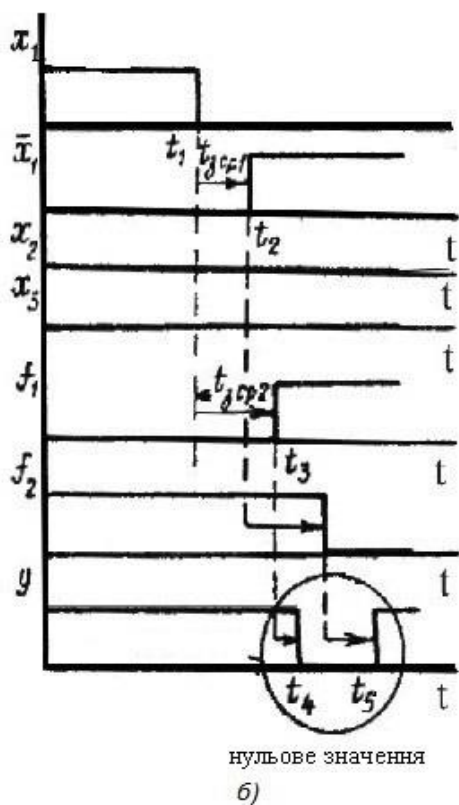
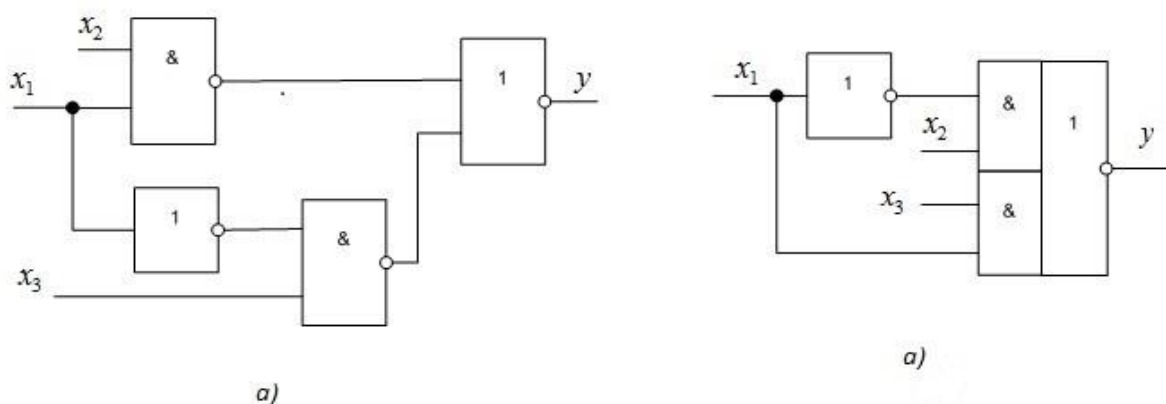
Таблиця 3.5

Час	$x_3$	$x_2$	$x_1$	$A$	$B$	$C$	$E$	$F$	$Y$
$t < t_0$	0	1	1	1	1	0	0	0	0
$t_0$	1	0	0	0	1	0	0	1	0
$t_0 + t_{3\text{ср}}$	1	0	0	0	0	1	0	1	1
$t_0 + 2t_{3\text{ср}}$	1	0	0	0	0	1	1	0	1
$t_0 + 3t_{3\text{ср}}$	1	0	0	0	0	1	1	0	0
$t_0 + 4t_{3\text{ср}}$	1	0	0	0	0	1	1	0	0

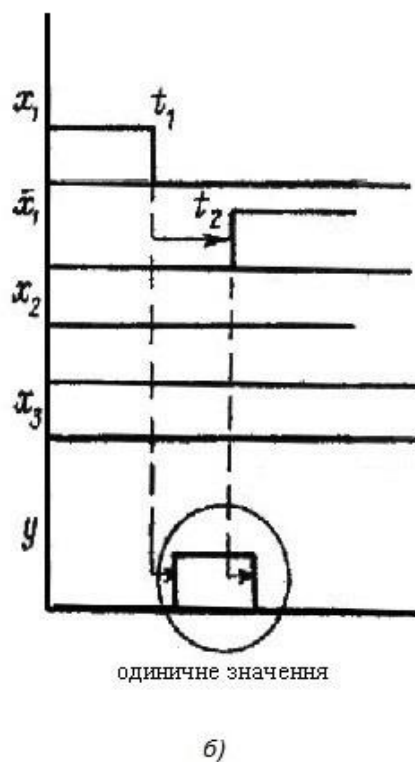
Аналіз роботи КП із метою виявлення небезпечних змагань по часових діаграмах при великій кількості ЛЕ виявляється досить трудомістким. Тому, як правило, використовуються формальні методи аналізу.

Розглянемо докладніше *аналітичний метод* чи метод Мак-Класкі [1]. ЛФ  $y$  перетворюють або в диз'юнктивну нормальну форму (ДНФ) при аналізі на статичні нульові змагання, або в кон'юнктиву нормальну форму (КНФ) при аналізі на статичні одиничні змагання. При цьому не допускаються такі логічні перетворення, при яких відбувається втрата вхідних

змінних  $x_i$  та  $\bar{x}_i$ . Із цією метою  $x_i$  та  $\bar{x}_i$  розглядають як незалежні змінні, оскільки в динамічному режимі (тобто під час перехідних процесів) у деяких точках ланки ЛЕ  $x_i$  та  $\bar{x}_i$  можуть виявитися не взаємно інверсними, а одночасно рівними або логічному нулю, або логічній одиниці.



*a – схема; б – часові діаграми*  
Рисунок 3.8 – Приклад появи  
одиничних змагань



*a – схема; б – часові діаграми*  
Рисунок 3.9 – Приклад появи  
нульових змагань

За методом Мак-Класкі статичні нульові змагання мають місце, якщо:

- а) ЛФ у в ДНФ містить хоча б один із додатків, у який одна незалежна змінна входить у прямому  $x_i$  та інверсному  $\bar{x}_i$  вигляді (наприклад,  $\dots + x_i \cdot \bar{x}_i + \dots$ );

б) виконується умова

$$y \left| \begin{array}{l} x_1 = x_2 = \dots = 1 \\ \text{окрім } x_i = 1 \end{array} \right. + y \left| \begin{array}{l} x_1 = x_2 = \dots = 1 \\ \text{окрім } x_i = 0 \end{array} \right. \neq 1 .$$

Перший додток у цьому виразі виходить шляхом підстановки в ЛФ у замість  $x_i$  логічної одиниці, а замість  $\bar{x}_i$  – логічного нуля. Другий додток виходить шляхом підстановки замість  $x_i$  значення логічного "0", а замість  $\bar{x}_i$  – логічної одиниці. Усі інші вхідні змінні  $x_1, x_2 \dots$  при цьому залишаються записаними в загальному вигляді. Після відповідних спрощень ці змінні замінюються на логічні «1» для того, щоб з'ясувати, чи виконується друга умова. Якщо умова виконується, то у КП присутні нульові змагання.

*Статичні* одиночні змагання мають місце, якщо:

а) ЛФ у виді КНФ містить хоча б один співмножник, в який одна незалежна змінна входить у прямому  $x_i$  та інверсному  $\bar{x}_i$  вигляді, наприклад,  $(x_i + \bar{x}_i)$ ;

б) виконується така умова

$$y \left| \begin{array}{l} x_1 = x_2 = \dots = 0 \\ \text{окрім } x_i = 1 \end{array} \right. + y \left| \begin{array}{l} x_1 = x_2 = \dots = 0 \\ \text{окрім } x_i = 0 \end{array} \right. \neq 0 .$$

Розглянемо практичне застосування методу Мак-Класкі на прикладі функції

$$y = \overline{\bar{x}_1 \cdot x_2 + x_3 \cdot x_1} .$$

Із структурної формули видно, що змагання сигналів можуть виникнути в ЛЕ АБО-НІ. Припустимо, що в такому КП можливі статичні нульові змагання. Для перевірки цього припущення подаємо вираз для  $y$  в ДНФ

$$y = \overline{\bar{x}_1 x_2 + x_1 x_3} = (x_1 + \bar{x}_2)(\bar{x}_1 + \bar{x}_3) = x_1 \bar{x}_1 + \bar{x}_2 \bar{x}_1 + x_1 \bar{x}_3 + \bar{x}_2 x_3 .$$

У цьому виразі виконується перша умова, а саме: тут є додток вигляду  $x_i \cdot \bar{x}_i$ . Перевіримо другу умову

$$\begin{aligned} (1 \cdot 0 + \bar{x}_2 \cdot 0 + 1 \cdot \bar{x}_3 + \bar{x}_2 \cdot \bar{x}_3) + (0 \cdot 1 + \bar{x}_2 \cdot 1 + 0 \cdot x_3 + \bar{x}_2 \cdot \bar{x}_3) = \\ = \bar{x}_3 + \bar{x}_2 \cdot \bar{x}_3 + \bar{x}_2 + \bar{x}_2 \cdot \bar{x}_3 = \bar{x}_2 + \bar{x}_3 + \bar{x}_2 \cdot \bar{x}_3 = \bar{x}_2 + \bar{x}_3 . \end{aligned}$$

Після підстановки замість  $x_2$  і  $x_3$  логічної 1 одержимо  $0 + 0 \neq 1$ . Отже, у такому КП виникають статичні нульові змагання. Перевіримо роботу КП на наявність одиничних змагань. Для цього перетворимо вираз для  $y$  в КНФ

$$y = \overline{\bar{x}_1 \cdot x_2 \cdot x_1 \cdot x_3} = (x_1 + \bar{x}_2) \cdot (\bar{x}_1 + \bar{x}_3).$$

Умова не виконується, отже, одиничні змагання сигналів відсутні.

Іншим методом аналізу КП на наявність небезпечних змагань сигналів є метод із використанням карт Карно. Застосування цього методу зручно розглянути на конкретному прикладі. Для цього проведемо аналіз КП, ЛФ якого визначається таким виразом

$$y = x_1 \cdot \bar{x}_1 + \bar{x}_2 \cdot \bar{x}_1 + x_1 \cdot \bar{x}_3 + \bar{x}_2 \cdot x_3.$$

Карта Карно для  $y$  будується на основі її таблиці істинності (табл. 3.6) причому в даному випадку зручно взяти замість функції  $y$  інверсну функцію. Для інверсної функції побудуємо карту Карно (рис 3.10). Виконавши лінеаризацію, одержимо такий вираз ЛФ

$$y = x_2 \cdot \bar{x}_1 + x_1 \cdot x_3.$$

Таблиця 3.6

$x_3$	$x_2$	$x_1$	$y$	$\bar{y}$
0	0	0	1	0
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	1	0
1	1	1	0	1

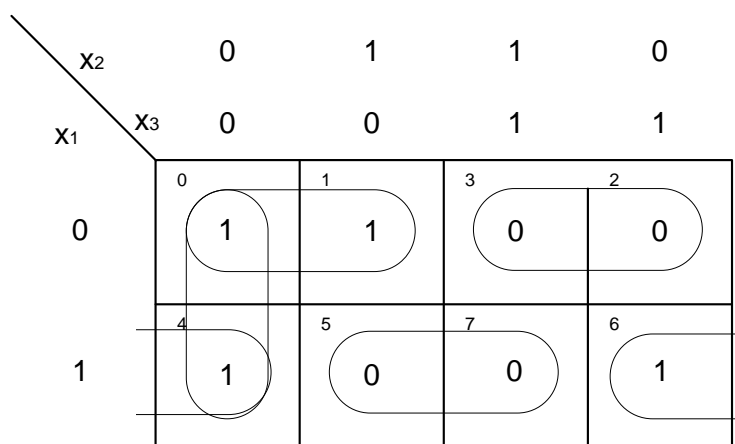


Рисунок 3.10 – Карта Карно для інверсного значення функції  $y$

На картах Карно сусідні одиниці та сусідні нулі охоплюються загальним контуром (контуром склеювання). Якщо при зміні однієї з вхідних змінних зміни функції у такі, що на карті відбувається перехід із одного контуру склеювання до іншого, який з ним не зв'язаний, то в КП мають місце змагання. Так, на рис. 3.10 видно, що при переході функції  $y$  від значення логічної 1 до 1 у випадку зміни однієї із вхідних змінних  $x_1$  чи  $x_2$  (сусідні переходи) вихід за межі одного контуру склеювання не відбувається. З іншого боку, при переході функції  $y$  від значення логічного 0 до 0 здійснюється перехід з одного до іншого контуру. Це означає наявність у КП нульових змагань. Отже, умовою відсутності статичних змагань буде зв'язаність усіх контурів склеювання на карті Карно, що досягається введенням у структурну формулу додаткових співмножників в інверсну функцію  $y$ , які забезпечують зв'язаність контурів склеювання.

При проектуванні КП, вільних від небезпечних статичних змагань сигналів, використовуються наступні правила побудови пристроїв.

*Застосування структурних методів.* Найбільш ефективним є метод проектування із використанням карт Карно, відповідно до якого для кожної пари станів сигналів на входах КП необхідно мати на картах Карно для функцій  $y$  та  $\bar{y}$  контури склеювання, причому контури відповідають одній із цих складних функцій.

*Корекція небезпечних змагань.* КП у вигляді узагальненої структурної схеми (рис. 3.11), де  $A_1$  та  $A_2$  – ланцюги, за якими відбувається передача вхідних сигналів. Ці сигнали створюють на виході елемента  $D_n$  неалгоритмічні переходи, які поширюються далі по ланцюгу  $A_3$ . Можна показати [1, 2], що виникаючий через ці завади помилковий сигнал при виконанні визначених умов буде поступово зменшуватися за тривалістю в ланцюгу  $A_3$ . На цьому і ґрунтується метод корекції небезпечних змагань.

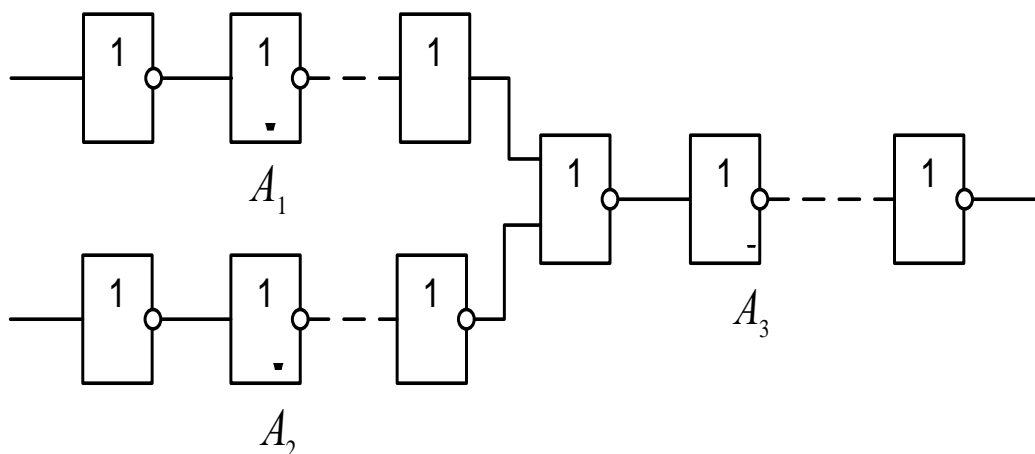


Рисунок 3.11 – Узагальнена структурна схема КП

Розкид значень затримок сигналів у ланцюгах  $A_1$  і  $A_2$  визначає тривалість складного сигналу, який утвориться на виході  $D7$  (рис. 3.11). Задача



корекції небезпечних змагань ланцюгів  $A_1$  і  $A_2$  полягає у визначенні припустимої різниці затримок  $\tau_{\text{доп}}$ . Ця затримка формує помилковий сигнал, який може бути подавлено ланцюгом  $A_3$  у силу того, що послідовний ланцюг ЛЕ має формуючі властивості [1, 3]. Таке правило застосовується при розробці структур ІС середнього та великого ступеня інтеграції.

*Введення синхронізації.* Роботою цифрових пристроїв у даному випадку управляють тактові (синхронізуючі) послідовності так, що запис та зчитування інформації здійснюються тільки протягом тривалості тактових імпульсів. Переключення КП повинно відбуватися за інтервал часу  $\Delta t$  між тактовими імпульсами. При цьому тривалість  $\Delta t$  обирається такою, щоб протягом цього інтервалу часу всі перехідні процеси, які пов'язано із переключенням КП, закінчилися й на його виходах встановилися стаціонарні значення сигналів. Відзначимо, що введення синхронізації істотно зменшує швидкодію пристрою.

*Селекція імпульсів за тривалістю.* Якщо тривалість помилкового сигналу (завади), обумовлено змаганнями, менша, ніж час між сусідніми змінами рівнів сигналів, то можна використовувати для його придушення (селектори імпульсів за тривалістю).

*Застосування визначеного порядку зміни сигналів і станів КП.* Оскільки небезпечні змагання виявляються у вигляді завад тільки при зміні визначених комбінацій вхідних сигналів, то іноді можна передбачити певний порядок чергування цих комбінацій, при якому небезпечні змагання будуть відсутні.

Слід зазначити, що при використанні швидкодіючих ЛЕ у випадках передачі сигналів між блоками на великі відстані необхідно при аналізі змагань враховувати затримки поширення сигналів по ланцюгах зв'язку між елементами і від блоку до блоку. Необхідно ще раз підкреслити, що проблема змагань у цифрових пристроях є дуже серйозною, тому що з ними пов'язані відмови у роботі схем.

### **3.5 Засоби формального опису послідовнісних пристроїв**

На відміну від КП вихідні сигнали послідовнісних пристроїв (ПП) визначаються не тільки комбінацією вхідних сигналів, але залежать також від внутрішнього стану пристрою (тобто набору внутрішніх перемінних) при надходженні вхідних сигналів.

Внутрішній стан ПП відбиває передісторію (послідовність) його роботи, тобто пристрій має пам'ять. Наявність пам'яті є характерною властивістю будь-якого ПП, тому структурна схема (рис. 3.12) може бути складена із двох блоків:

- логічного перетворювача (ЛП), який виконано на основі КП;
- блока пам'яті (БП), як сукупності елементів пам'яті  $EP_1, EP_2, \dots, EP_r$ .

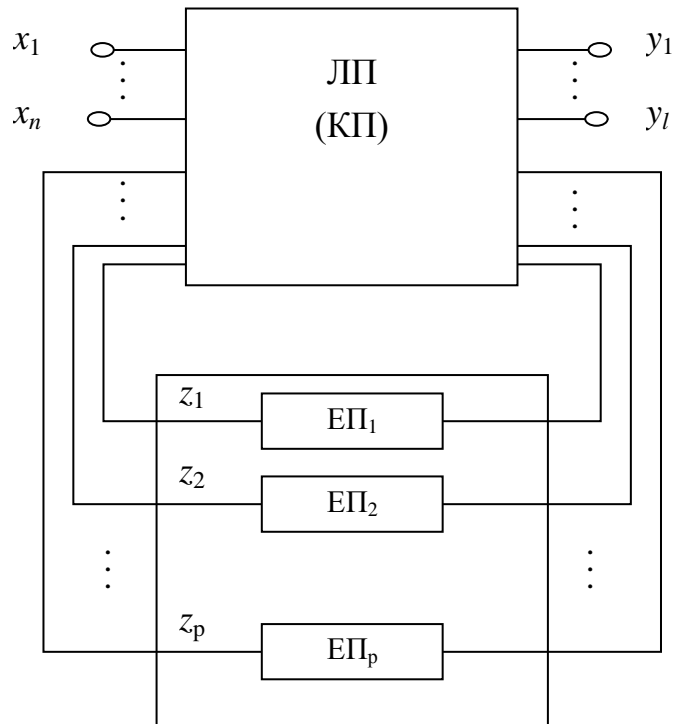


Рисунок 3.12 – Структурна схема ПП

ПП можна описати наступним чином:

- кінцевою безліччю станів входу  $X = \{x_1, x_2, \dots, x_n\}$ ,
  - кінцевою безліччю станів виходу  $Y = \{y_1, y_2, \dots, y_l\}$ ,
  - кінцевою безліччю внутрішніх станів пристрою  $Z = \{z_1, z_2, \dots, z_p\}$ ,
- де  $x_i, y_i, z_i$  – вхідні, вихідні і внутрішні змінні,

- а також двома функціями:

- 1) функцією переходів, яка визначає порядок зміни внутрішніх станів;
- 2) функцією виходів, яка задає стан виходів залежно від стану входів та внутрішнього стану.

При роботі цифрових пристроїв можуть бути виділено часові інтервали, на яких усі змінні (вхідні, вихідні та внутрішні) зберігають постійні значення. Ці інтервали часу  $\Delta t$  називають тактами роботи цифрового пристрою. Надалі будемо розглядати роботу ПП лише в моменти часу  $t_i$  ( $i = 1, 2$ ) як рівновіддалені один від одного на величину  $\Delta t$ . Ці такти можуть бути довільними. Вважається, що саме в ці моменти відбувається зміна тієї чи іншої вхідної змінної. Позначимо  $x_i^n$  величину вхідної змінної  $x_i$  у момент часу  $t_n$ . Запис тієї ж вхідної змінної у формі  $x_i^{n-1}$  та  $x_i^{n+1}$  буде означати, що ця змінна розглядається в моменти  $t_{n-1}$  і  $t_{n+1}$ .

Розрізняють два типи ПП: асинхронні та синхронні. В *асинхронних* ПП усі входи рівноправні, й зміна сигналу на будь-якому вході може викликати зміну сигналів на яких-небудь виходах. У *синхронних* мається мінімум один вхід синхронізації (С) та вхідні сигнали можуть впливати на роботу ПП лише при наявності визначеного сигналу на цьому вході.

Для того щоб одержати алгоритм функціонування ПП за словесним описом його роботи, необхідно задати функції переходів та виходів. Для функції переходів це буде означати задавання визначеного переходу із одного внутрішнього стану  $Z_i$  в інший  $Z_j$  (при цьому не виключається випадок  $i = j$ ) при стані входу  $X_k$  (або при зміні послідовностей на вході ПП). Завдання функції виходів складається для кожної пари  $X_i$  і  $Z_i$  стану виходу  $Y_i \in Y$ . Обидві функції можна подати у вигляді таблиць (відповідно переходів і виходів) чи за допомогою графа.

Розглянемо правила побудови таблиць переходів. Рядки таблиці переходів відповідають поточним внутрішнім станам ПП, стовпці – станам входів. Елементи таблиці переходів відповідають внутрішнім станам, у які повинен перейти ПП під впливом вхідних сигналів. Таблиця переходів у звичайних випадках містить  $2^n$  стовпців, де  $n$  – число вхідних змінних  $X$ . Число рядків дорівнює числу станів схеми.

У табл. 3.7 приведено приклад переходів синхронного ПП, функції якого визначені для всіх наборів  $X$  і  $Z$ . Як бачимо, пристрій має чотири стани входу ( $X_1, X_2, X_3, X_4$ ) і чотири внутрішніх стани ( $Z_1, Z_2, Z_3, Z_4$ ). У кожній клітинці таблиці переходів зазначено номер внутрішнього стану, у який пристрій повинен перейти в наступний момент часу. Наприклад, при станах входу  $X_1$  і  $X_4$  ПП не змінює свого внутрішнього стану, при  $X_2$  – пристрій переходить у наступний внутрішній стан, при  $X_3$  – ПП переходить у попередній стан.

Надалі із метою спрощення замість  $Z_i$  у клітинках таблиць будемо вказувати лише номер стану. Якщо в ПП який-небудь стан не визначено, тобто він є невикористаним чи забороненим, то у відповідній клітинці таблиці ставлять прочерк (табл. 3.8).

У таблиці виходів (табл. 3.9) задається відповідність між станом виходу пристрою та його внутрішнім станом. Якщо обидві таблиці поєднати, одержимо так звану таблицю станів. Вона задає одночасно як функцію переходів, так і функцію виходів. У кожній клітинці такої таблиці (табл. 3.10) записано значення  $Z_i$  і  $Y_j$ . Помітимо, що для асинхронних ПП, якщо наступний внутрішній стан при зміні  $X$  залишається таким же, як і попередній, тобто  $f(X_i, Z_j) = Z_j$ , він є стійким, і в таблиці переходів номер цього стану беруть у дужки. У протилежному випадку внутрішній стан є нестійким і його позначають цифрою без дужок.

Розглянемо табл. 3.11. Якщо ПП знаходиться в стійкому стані (2) і стан його входу змінюється із  $X_2$  на  $X_3$ , то внутрішній стан при цьому не зміниться. У випадку, коли відбувається зміна  $X_2$  на  $X_1$  пристрій спочатку прийме нестійкий стан 1, а потім стійкий (1), при цьому його внутрішній стан зміниться із  $Z_2$  на  $Z_1$ . Таким чином, зміна внутрішнього стану ПП завжди пов'язано із переходом його через нестійкий стан. Перехід із одного внутрішнього стану ПП в інший через стійкий стан принципово неможливий.

Таблиця 3.7

	$X_1$	$X_2$	$X_3$	$X_4$
$Z_1$	$z_1$	$z_2$	$z_4$	$z_1$
$Z_2$	$z_2$	$z_3$	$z_1$	$z_2$
$Z_3$	$z_3$	$z_4$	$z_2$	$z_3$
$Z_4$	$z_4$	$z_1$	$z_3$	$z_4$

Таблиця 3.8

	$X_1$	$X_2$
$Z_1$	1	2
$Z_2$	3	–
$Z_3$	–	4
$Z_4$	1	–

Таблиця 3.9

	$X_1$	$X_2$	$X_3$	$X_4$
$Z_1$	$Y_1$	$Y_2$	$Y_4$	$Y_1$
$Z_2$	$Y_2$	$Y_3$	$Y_1$	$Y_2$
$Z_3$	$Y_3$	$Y_4$	$Y_2$	$Y_3$
$Z_4$	$Y_4$	$Y_1$	$Y_3$	$Y_4$

Таблиця 3.10

	$X_1$	$X_2$	$X_3$	$X_4$
$Z_1$	$Z_1; Y_1$	$Z_2; Y_2$	$Z_4; Y_4$	$Z_1; Y_1$
$Z_2$	$Z_2; Y_2$	$Z_3; Y_3$	$Z_1; Y_1$	$Z_2; Y_2$
$Z_3$	$Z_3; Y_3$	$Z_4; Y_4$	$Z_2; Y_2$	$Z_3; Y_3$
$Z_4$	$Z_4; Y_4$	$Z_1; Y_1$	$Z_3; Y_3$	$Z_4; Y_4$

Таблиця 3.11 – Стійкі та нестійкі стани

	$X_1$	$X_2$	$X_3$	$X_4$
1	(1)	2	3	–
2	1	(2)	(2)	3
3	4	–	(3)	(3)

*Мінімізація числа станів.* При побудові таблиць переходів може виявитися більше станів, ніж необхідно для нормального функціонування ПП. У зв'язку з цим виникає задача мінімізації числа станів. При скороченні числа станів надлишковими вважають такі, котрим у таблиці переходів відповідають рядки із несуперечливим розміщенням цифр. Такі рядки в таблиці переходів мають однакові цифри в якому-небудь стовпці, або ж в одному рядку цього стовпця стоїть цифра, а в іншому – прочерк. Ці рядки називають сумісними. Об'єднання сумісних рядків приводить до зменшення числа внутрішніх змінних, необхідних для опису всіх переходів. При об'єднанні рядків кожній групі сумісних рядків присвоюють нову цифру й роблять пере позначення станів ПП. Зазначимо, що при виконанні операції об'єднання рядків значення вихідних функцій до уваги не беруться. Після об'єднання рядків нову таблицю називають скороченою таблицею переходів. Для оптимізації операції об'єднання рядків будують відповідну діаграму.

Для прикладу візьмемо табл. 3.12. При побудові діаграми розмістимо номери рядків по деякому колу (рис. 3.13). Можливість попарного об'єднання окремих рядків умовно позначимо лініями між відповідними номерами. Кожен рядок необхідно порівняти з усіма іншими для виявлення можливості їхнього об'єднання.

Аналіз діаграми дозволяє виявити оптимальну схему об'єднання рядків, при якій мінімізується загальне число рядків у таблиці. Наприклад, поєднуючи рядки 1 та 2, 3 та 6, а також 4 та 5, одержимо скорочену таблицю переходів (табл. 2.13).

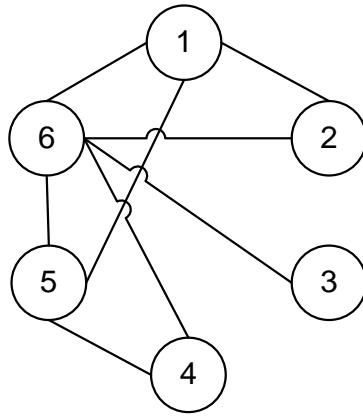


Рисунок 3.13 – Діаграма об'єднання рядків

Таблиця 3.12

$x_1x_2$	00	01	11	10
1	(1)	–	–	2
2	–	–	3	(2)
3	–	–	(3)	4
4	–	–	5	(4)
5	–	6	(5)	–
6	1	(6)	–	–

Таблиця 3.13

$x_1x_2$	00	01	11	10
(1)	–	3	(1)	
1	(3)	(3)	4	
–	3	(4)	(4)	

Оскільки  $p$  внутрішніх змінних можуть утворити  $2^p$  наборів їхніх значень і в ПП з таким числом внутрішніх змінних можна реалізувати  $2^p$  станів, то виникає задача кодування значень внутрішніх змінних.

Кодування значень внутрішніх змінних полягає в присвоєнні двійкового коду кожному стану ПП, тобто кожному рядку скороченої таблиці, або кожному набору значень змінних  $Z_i$  у даний момент часу. Так, для реалізації чотирьох станів ПП будуть потрібні дві внутрішні змінні (позначимо їх  $Z_1$  та  $Z_2$ ). Задачу кодування внутрішніх змінних зручно вирішувати за допомогою спеціальної карти кодування (табл. 3.14), де код стану збігається з двійковим номером відповідної клітинки. Розташовуючи, наприклад, стан 1 послідовно у кожній клітинці і кожного разу записуючи послідовність станів на карті, дотримуючись їхнього розміщення в напрямку за годинною стрілкою, одержимо чотири варіанти кодування. При запису послідовності станів на карті в напрямку проти годинникової стрілки будемо мати ще чотири варіанти кодування.

Доповнюючи скорочену таблицю переходів пристрою кодом станів відповідно до обраного варіанта кодування, запишемо кодовану таблицю переходів (табл. 3.15). ПП можна подати діаграмою чи графом, що складається із вузлів, які з'єднані галузями. Позначивши стан ПП вузлами, а переходи ПП, які одержано під впливом вхідних сигналів  $X_i$  – галузями, отримаємо діаграму станів. Так, діаграма станів, що відповідає таблиці станів (табл. 3.8), наведена на рис. 3.14. На галузях графа можуть бути зазначені значення вихідних сигналів.

Діаграма станів ПП може бути використана для визначення виду вихідних змінних при довільних вхідних для будь-якого початкового стану пристрою. Наприклад, для ПП, який подано графом на рис. 3.14, якщо має місце перший початковий стан, а вхідна послідовність  $X = 00101$ , то утвориться послідовність його станів такого виду 22434 при послідовності на виході  $Y = 11010$ . Та ж вхідна послідовність, яка впливає на роботу ПП при третьому початковому стані, приводить до вихідної послідовності виду 01010.

Таблиця 3.14

$z_1$		0	1
$z_2$	0	2	3
	1	1	4

Таблиця 3.15

$x$	0	1	$z_1z_2$
1	(1)	2	10
2	3	(2)	00
3	(3)	4	01
4	1	(4)	11

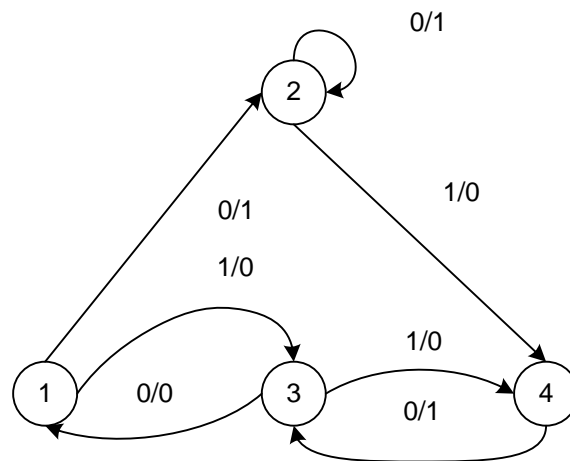


Рисунок 3.14 – Діаграма станів ПП

Порівнюючи табличний та графічний способи задавання ПП, можна відзначити наступне:

- табличний спосіб є найбільш повним, але неприйнятним для великого числа станів. У той же час даний спосіб дозволяє здійснити порівняно простий перехід до формульного запису функцій  $Y$  та  $Z$ ;
- графічний спосіб більш наочний. Особливо його переваги відчуються при розв'язанні задач по виявленню можливих циклічних режимів роботи ПП.

У процесі проектування ПП може бути виконано перехід від графа до таблиці і навпаки.

*Приклад формального опису ПП.* Нехай потрібно синтезувати послідовний двійковий суматор. Числа вводяться в суматор послідовно розряд за розрядом, синхронно із тактовим сигналом. У кожному такті обчислюється значення суми із урахуванням одиниць переносу. При цьому в даному

суматорі повинна запам'ятовуватися на один такт одиниця переносу в старший розряд.

Відповідно до цього опису ПП має два входи, на які подаються сигнали (числа)  $x_1$  і  $x_2$ , один вихід  $Y$  і один елемент пам'яті для запису сигналу переносу. Отже, ПП може мати:

- чотири стани входу  $X = (x_1, x_2)$ :  $X_1 = (0,0)$ ,  $X_2 = (0,1)$ ,  $X_3 = (1,0)$ ,  $X_4 = (1,1)$  чи  $X = \{00, 01, 10, 11\}$ ;
- два стани виходу  $y_1 = 0$ ,  $y_2 = 1$ , тобто  $Y = \{0,1\}$ ;
- два внутрішніх стани,  $Z_1 = 0$ ,  $Z_2 = 1$ , тобто  $Z = \{0,1\}$ .

Оскільки сигнал переносу є водночас і внутрішньою й вихідною змінною, замість  $Z$  використовуємо позначення  $Q$ . Функції переходів та виходів даного ПП мають вигляд

$$Q^n = f(x_1^n, x_2^n, Q^{n-1});$$

$$Y^n = \varphi(x_1^n, x_2^n, Q^{n-1}).$$

Суматор виконує операцію складання  $x_1$  і  $x_2$  із урахуванням переносу  $Q$ . Тому  $Q^n = 1$  у тих випадках, коли два сигнали  $x_1^n, x_2^n$  рівні 1, а  $Y^n = 1$  тільки при непарному числі одиниць в сигналах  $x_1^n, x_2^n, Q^{n-1}$ . Складемо таблицю станів ПП (табл. 3.16).

Таблиця 3.16

$Z_i^n \backslash x_j^n$	$x_1^n$	$x_2^n$	$x_3^n$	$x_4^n$
$Z_1^n$	$Z_1, y_1$	$Z_1, y_2$	$Z_1, y_2$	$Z_2, y_1$
$Z_2^n$	$Z_1, y_2$	$Z_2, y_1$	$Z_2, y_1$	$Z_2, y_2$

Таблиця 3.17

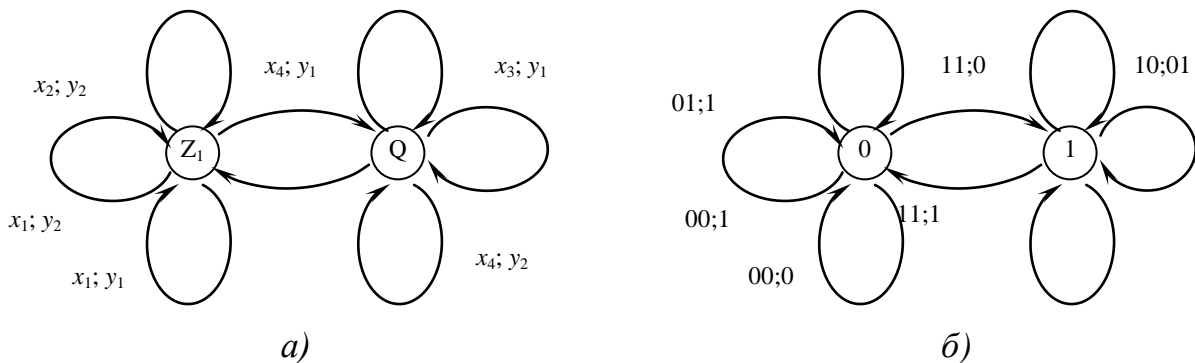
$i \backslash x_1^n x_2^n$	00	01	10	11	$Q$
1	1,0	1,1	1,1	2,0	0
2	1,1	2,0	2,0	2,1	1

Таблиця 3.18

$x_1^n$	$x_2^n$	$Q^n$	$Q^{n+1}$	$y^n$
0	0	1	0	0
0	0	0	0	1
0	1	1	0	1
0	1	0	1	0
1	0	1	0	1
1	0	0	1	0
1	1	1	1	0
1	1	0	1	1

Кожен рядок цієї таблиці відповідає одному із можливих станів  $Z$  у  $n$ -такті, а кожен стовпець – одному із можливих станів входу  $X$  у такті  $n$ . У клітках, які відповідають рядкам  $Z_i$  та стовпцям  $X_j$ , вказують стан пристрою  $Q^n = Z^n$ , у який він переходить, а також і стан виходу  $Y^n$ .

У більшості практичних задач кодування станів входу та виходу за допомогою наборів значень вхідних і вихідних сигналів впливає із самої постановки задачі. Тому в таблиці станів часто зручно вказувати набори значень цих сигналів (табл. 3.15). Доповнюючи табл. 3.16 стовпцем  $Q$ , у якому записується прийняте кодування станів ПП, перейдемо до табл. 3.17. Графи переходів такого пристрою, побудовано відповідно до таблиць 3.16 та 3.17, наведено на рис. 3.15 (рис. 3.15а – за табл. 3.16, а рис. 3.15б – за табл. 3.17). За допомогою цих таблиць можна також скласти таблицю істинності суматора (табл. 3.18).



*a* – з позначенням станів; *б* – з кодуванням станів  
Рисунок 3.15 – Графи переходів суматора

### 3.6 Канонічний метод проектування послідовнісних пристроїв

Побудова первинного графа переходів, чи складання первинної таблиці переходів на підставі словесного опису є першим етапом проектування ПП. При наявності словесної постановки задачі, тобто словесного опису роботи ПП первинний граф переходів ПП можна побудувати, використовуючи для цього наступний порядок дій.

1. Визначити вхідні та вихідні сигнали проєктованого ПП і побудувати його структурну схему, розміщуючи входи ліворуч, а виходи праворуч (проєктовані ПП можуть являти собою спеціально виділені модулі – вузли) так, що вихідні сигнали одного модуля пристрою будуть вхідними сигналами іншого.

2. Виявити причинно-наслідкові співвідношення між вхідними та вихідними сигналами.

3. Визначити стан, із якого починається послідовність подій. Для цього можна, наприклад, виявити стан, при якому схема знаходиться в «очікуванні», чи стан, бажаний для переходу схеми за командою початкової установки. На етапах усім внутрішнім змінним цього стану привласнюють нульові значення.

4. Визначити черговість подій (станів) у схемі, починаючи із моменту подачі вхідних сигналів.



5. Знайти число переходів (ліній) із кожного стану (вузла). Якщо при перебуванні схеми в певному стані на неї можуть надходити залежно від зовнішніх умов різні вхідні сигнали, то у відповідний вузол графа повинно входити декілька ліній. Аналіз переходів варто продовжувати до того моменту, поки послідовність станів не утворить цикл (замкнений граф). Поява ж тупикового стану, як правило, свідчить про помилку при складанні графа переходів.

6. Якщо на першому етапі проектування було отримано первинний граф переходів, то за цим графом необхідно скласти таблицю переходів.

7. Далі проводять мінімізацію числа станів та будують скорочену таблицю переходів і скорочений граф переходів. Після цього здійснюють кодування внутрішніх змінних й одержують кодовану таблицю.

8. На наступному етапі проектування будують карти станів і знаходять функції порушення внутрішніх змінних. Для цього привласнюють рядкам кодової таблиці переходів замість десяткових цифр двійкові (рис. 3.16). Для наочності у картах станів слід переставити строки та стовбці.

	Z <sub>1</sub>	0	1	1	0
x	Z <sub>2</sub>	0	0	1	1
0	0	3	(3)	1	(1)
1	1	(2)	4	(4)	2

	Z <sub>1</sub>	0	1	1	0
x	Z <sub>2</sub>	0	0	1	1
0	0	01	01	10	10
1	1	00	11	11	00

а) б)

а – десятковий код; б – двійковий код

Рисунок 3.16 – Карти Карно с кодованими переходами

У випадку запису в клітинах карти станів двійкових цифр замість десяткових з'являється можливість визначити функції збудження внутрішніх змінних. Так, наприклад, для карти Карно (рис. 3.16а) маємо

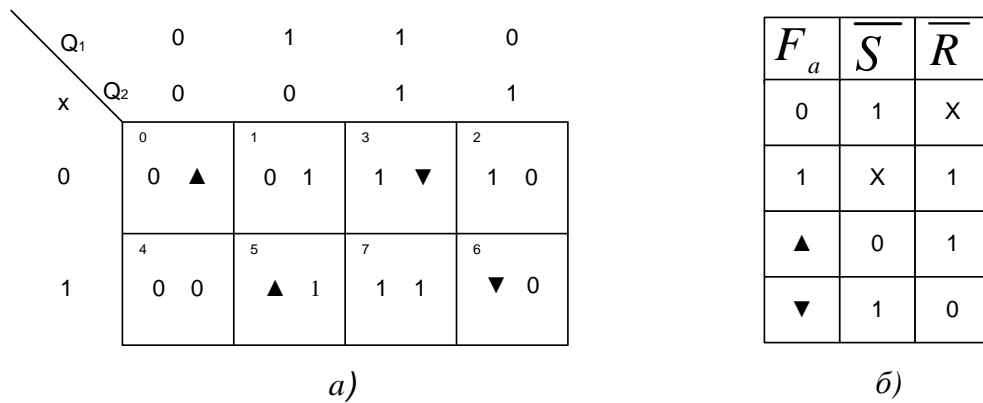
$$\begin{aligned} Z_1^{n-1} &= xZ_2 + \overline{x}Z_1; \\ Z_2^{n-1} &= xZ_2 + xZ_1. \end{aligned}$$

9. Складаючи карти вихідних змінних, якщо вони не збігаються із внутрішніми змінними, знаходимо функції вихідних змінних.

10. Заключним етапом проектування ПП є побудова структурної схеми або структурний синтез ПП. Розглянемо словниковий метод структурного синтезу [1], суть якого полягає в наступному.

Карта станів  $Q$  тригера (рис. 3.16б) перетвориться в таблицю функцій переходів  $F_Q$  (результат цих перетворень подано на рис. 3.17) внутрішніх

змінних, де  $F_Q \in \text{перехід } Q^n \rightarrow Q^{n+1}$ , причому умовні позначки переходу внутрішніх змінних з  $0 \rightarrow 0$ ;  $1 \rightarrow 1$ ;  $1 \rightarrow 0$  і  $0 \rightarrow 1$ , відповідно: 0, 1,  $\blacktriangle$ ,  $\blacktriangledown$ .



*a* – карта Карно; *б* – таблиця переключень  
Рисунок 3.17 – Карта функцій збудження й таблиця переключень

Потім складаємо карту функцій зрушення кожного тригера. Для цього символи функцій переходів у карті функцій переходів замінюють значеннями вхідних сигналів тригера (наприклад,  $\overline{R}$  та  $\overline{S}$ ), які необхідно для реалізації даного переходу і визначаються по словнику переходів обраного тригера (рис. 3.17б). У результаті цього аналізування отримаємо карти, які подано на рисунку 3.18.

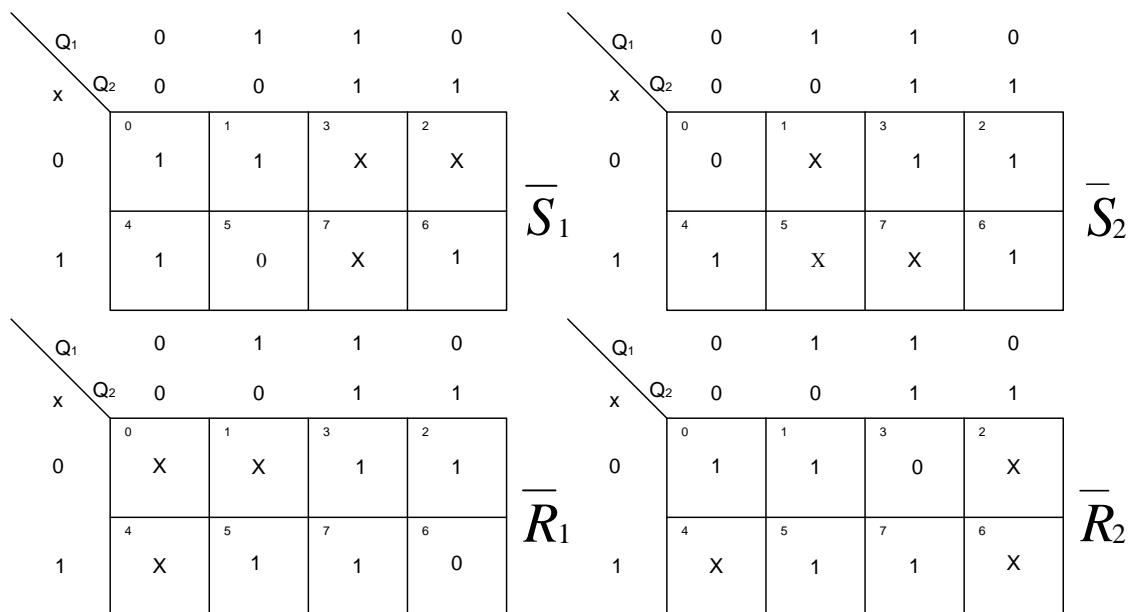


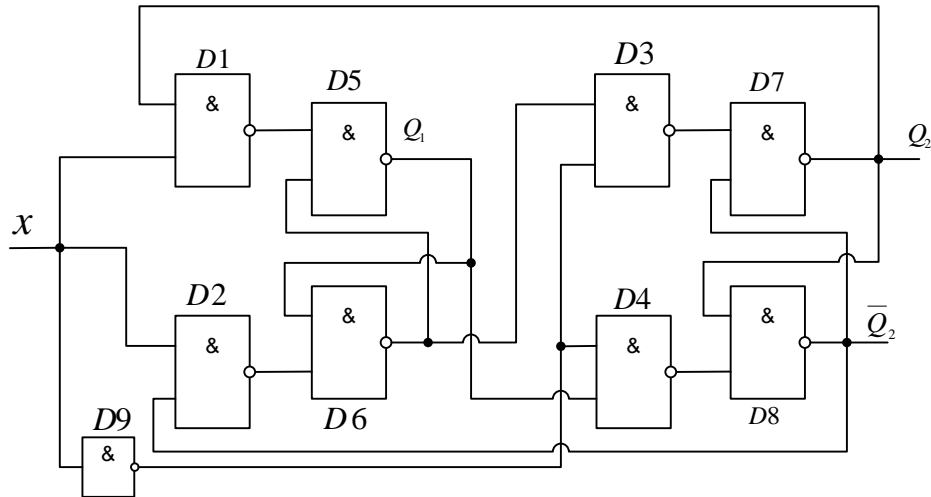
Рисунок 3.18 – Карти переходів тригера

Далі, визначивши на підставі цих карт функції збудження тригера, треба провести їхнє перетворення для реалізації в заданому базисі, наприклад, у базисі І-НІ.

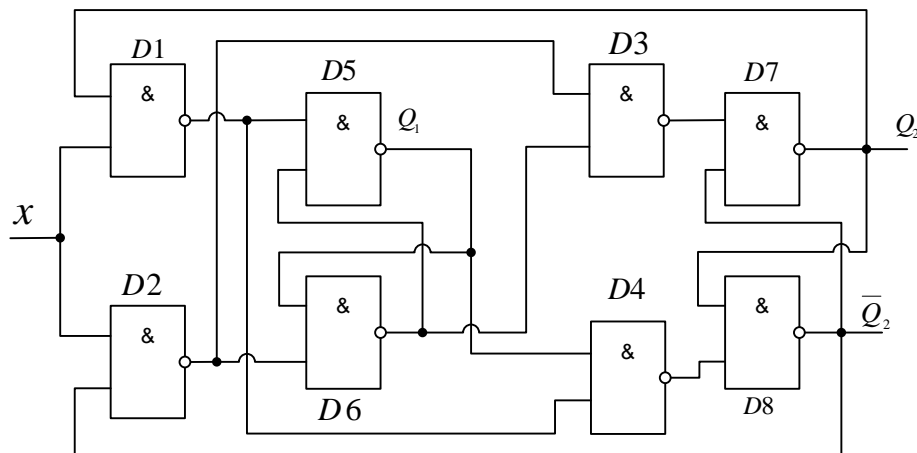
$$\bar{S}_1 = \bar{x} + \bar{Q}_2 = \overline{x \cdot Q_2}; \quad \bar{R}_1 = \bar{x} + Q_2 = \overline{x \cdot \bar{Q}_2};$$

$$\bar{S}_2 = x + Q_1 = \overline{\bar{x} \cdot \bar{Q}_1}; \quad \bar{R}_2 = x + Q_1 = \overline{\bar{x} \cdot Q_1}.$$

Ці формули надають побудувати електричну принципову схему пристрою (рис. 3.19)



a)



б)

*a – з можливістю змагань; б – з усуненням змагань*

*Рисунок 3.19 – Структурні варіанти тригера і варіант усунення змагань*

Оскільки карти функцій порушень (рис. 3.18) містять невизначені значення функцій, то є можливість скласти ряд інших варіантів структурної реалізації ПП. Потім провести їхній аналіз і вибрати кращий з огляду на функціональну надійність, простоту реалізації і т.д. У цьому полягає перевага словникового методу структурного синтезу. Проілюструємо сказане одним із прикладів. Визначаємо карти функцій  $\bar{S}_2$  і  $\bar{R}_2$  (рис. 3.18), прийнявши значення функції  $\bar{S}_2$  в клітинках із двійковими номерами 001 й 001

та значення функції  $\bar{R}_2$  в клітинках 010 й 110, які дорівнюють нулю. Тоді маємо таке

$$\begin{aligned}\bar{S}_2 &= Q_1 + x \cdot \bar{Q}_2 = Q_1 + R_1 = \overline{\bar{Q}_1 \cdot \bar{R}_1}; \\ \bar{R}_2 &= \bar{Q}_1 + x \cdot Q_2 = \bar{Q}_1 + S_1 = \overline{Q_1 \cdot \bar{S}_1}.\end{aligned}$$

У ПП, карта якого наведено на рис. 3.19а, можуть виникнути небезпечні змагання сигналів за такими рівнобіжними ланцюгами: входи D9- $\bar{X}$ , D1-D5-Q1 та D2-D6- $\bar{Q}_1$ . Так, наприклад, у випадку, коли вхідна змінна X змінює своє значення з 0 на 1, сигнал  $\bar{X}$  може затримати зміни сигналу  $Q_1$  на виходах D5 і D6. Це може викликати неалгоритмічний перехід та зміну вихідних змінних  $Q_2$  на  $\bar{Q}_2$ . У другому варіанті ПП (рис. 3.19б) такі небезпечні змагання відсутні. Крім того, цей ПП містить на один логічний елемент менше, ніж аналогічний (рис. 3.19а).

### Контрольні запитання

1. Перерахуйте універсальні логічні елементи.
2. У чому полягає табличний метод проектування комбінаційних пристроїв?
3. Що таке графічний метод синтезу цифрового пристрою?
4. Які види змагань сигналів можливі в комбінаційних пристроях?
5. Назвіть методи боротьби зі змаганням сигналів.
6. Які ви знаєте методи формального опису послідовнісних пристроїв?
7. Особливості канонічного методу синтезу цифрових пристроїв.

## 4 ТИПОВІ ПРИСТРОЇ СИСТЕМ КЕРУВАННЯ

### 4.1 Дешифратори, шифратори та перетворювачі кодів

Дешифратором називають пристрій, що перетворює  $m$ -розрядний двійковий код в однозначно відповідний йому унітарний. У дешифраторі (рис. 4.1) кожному значенню вхідного  $m$ -розрядного двійкового коду відповідає сигнал 1, яка з'являється тільки на тому виході, номер якого дорівнює значенню вхідного числа. При цьому на всіх інших виходах сигнал 0. Дешифратор має  $K = 2^m$  виходів. Дешифратори знайшли застосування в системах керування параметрами технологічних процесів при поданні вимірювальної інформації у цифровому вигляді. Розглянемо приклади побудови дешифратора на елементах базису І, НІ, АБО.

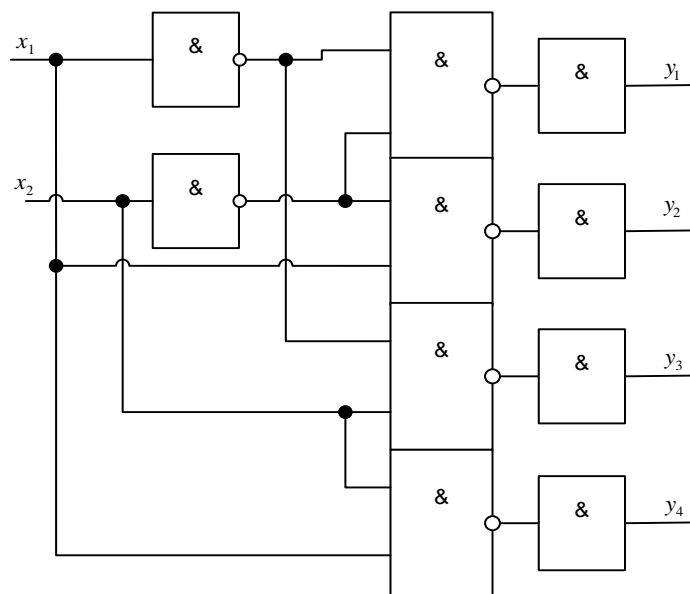


Рисунок 4.1 – Схема дешифратора на чотири виходи

**Приклад 4.1.** Приймемо  $m = 2$ ,  $K = 2^m = 4$ . За табл. 4.1 одержимо такі вирази  $y_0 = \bar{x}_1 \cdot \bar{x}_2$ ,  $y_1 = x_1 \cdot \bar{x}_2$ ,  $y_2 = \bar{x}_1 \cdot x_2$ ,  $y_3 = x_1 \cdot x_2$ .

Таблиця 4.1 – Таблиця істинності дешифратора

$x_2$	$x_1$	$y_0$	$y_1$	$y_2$	$y_3$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Схема дешифратора (рис. 4.1) реалізує ці ЛФ

$$y_0 = \overline{\overline{x_1 \cdot x_2}} = \overline{\overline{x_1}} \cdot \overline{\overline{x_2}}, \quad y_1 = \overline{\overline{x_1 \cdot x_2}} = \overline{\overline{x_1}} \cdot \overline{\overline{x_2}},$$

$$y_2 = \overline{\overline{x_1 \cdot x_2}} = \overline{\overline{x_1}} \cdot \overline{\overline{x_2}}, \quad y_3 = \overline{\overline{x_1 \cdot x_2}} = \overline{\overline{x_1}} \cdot \overline{\overline{x_2}}.$$

**Приклад 4.2** Розробимо дешифратор, який має шість входів і 64 виходи. Таблиця істинності (табл. 3.2) дозволяє записати такі вирази алгебри логіки

$$y_0 = \overline{\overline{\overline{\overline{x_1 \cdot x_2 \cdot x_3 \cdot x_4 \cdot x_5 \cdot x_6}}}} = \overline{\overline{\overline{\overline{x_1}} \cdot \overline{\overline{\overline{\overline{x_2}} \cdot \overline{\overline{\overline{\overline{x_3}} \cdot \overline{\overline{\overline{\overline{x_4}} \cdot \overline{\overline{\overline{\overline{x_5}} \cdot \overline{\overline{\overline{\overline{x_6}}}}}}}}}}}}}}},$$

$$y_1 = \overline{\overline{\overline{\overline{x_1 \cdot x_2 \cdot x_3 \cdot x_4 \cdot x_5 \cdot x_6}}}} = \overline{\overline{\overline{\overline{x_1}} \cdot \overline{\overline{\overline{\overline{x_2}} \cdot \overline{\overline{\overline{\overline{x_3}} \cdot \overline{\overline{\overline{\overline{x_4}} \cdot \overline{\overline{\overline{\overline{x_5}} \cdot \overline{\overline{\overline{\overline{x_6}}}}}}}}}}}}}}},$$

.....

$$y_{63} = \overline{\overline{\overline{\overline{x_1 \cdot x_2 \cdot x_3 \cdot x_4 \cdot x_5 \cdot x_6}}}} = \overline{\overline{\overline{\overline{x_1}} \cdot \overline{\overline{\overline{\overline{x_2}} \cdot \overline{\overline{\overline{\overline{x_3}} \cdot \overline{\overline{\overline{\overline{x_4}} \cdot \overline{\overline{\overline{\overline{x_5}} \cdot \overline{\overline{\overline{\overline{x_6}}}}}}}}}}}}}}},$$

Таблиця 4.2

$x_6$	$x_5$	$x_4$	$x_3$	$x_2$	$x_1$	$y_0$	$y_1$	$y_2 \dots y_{62}$	$y_{63}$
0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	1	0	1	1	0
—	—	—	—	—	—	—	—	—	—
—	—	—	—	—	—	—	—	—	—
1	1	1	1	1	1	0	0	0	1

Для реалізації такого дешифратора потрібно 64 корпусів ІС 8-ми входних ЛЕ І-НІ та 16 корпусів ІС, які містять по 4 двовходових ЛЕ І-НІ. Зменшити кількість корпусів ІС можливо шляхом переходу до двохступінчастої схеми, у якій на першій та другій ступені використовуються дешифратори ДС1 та ДС2 із  $m = 3$ . В табл. 4.3 дано опис дешифратора ДС 1.

Таблиця 4.3

$x_3$	$x_2$	$x_1$	$y'_0$	$y'_1$	$y'_2$	$y'_7$
0	0	0	1	0	0	0
0	0	1	0	1	0	0
—	—	—	—	—	—	—
1	1	1	0	0	0	1

Структурні формули ДС1 мають такий вигляд

$$y'_0 = \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 = \overline{\overline{\bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3}},$$

$$y'_1 = x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 = \overline{\overline{x_1 \cdot \bar{x}_2 \cdot \bar{x}_3}},$$

.....

$$y'_7 = x_1 \cdot x_2 \cdot x_3 = \overline{\overline{x_1 \cdot x_2 \cdot x_3}}.$$

Аналогічно для другої ступені дешифратора ДС2 маємо такі вирази для функцій алгебри логіки

$$y''_0 = \bar{x}_4 \cdot \bar{x}_5 \cdot \bar{x}_6 = \overline{\overline{\bar{x}_4 \cdot \bar{x}_5 \cdot \bar{x}_6}},$$

$$y''_1 = x_4 \cdot \bar{x}_5 \cdot \bar{x}_6 = \overline{\overline{x_4 \cdot \bar{x}_5 \cdot \bar{x}_6}},$$

.....

$$y''_7 = x_4 \cdot x_5 \cdot x_6 = \overline{\overline{x_4 \cdot x_5 \cdot x_6}}.$$

Поєднання ступенів дешифратора дає такі вирази

$$y_0 = y'_0 \cdot y''_0 = \overline{\overline{y'_0 \cdot y''_0}},$$

$$y_1 = y'_1 \cdot y''_0 = \overline{\overline{y'_1 \cdot y''_0}},$$

.....

$$y_{63} = y'_7 \cdot y''_7 = \overline{\overline{y'_7 \cdot y''_7}}.$$

Побудову двохступінчастого дешифратора наведено на рис. 4.2.

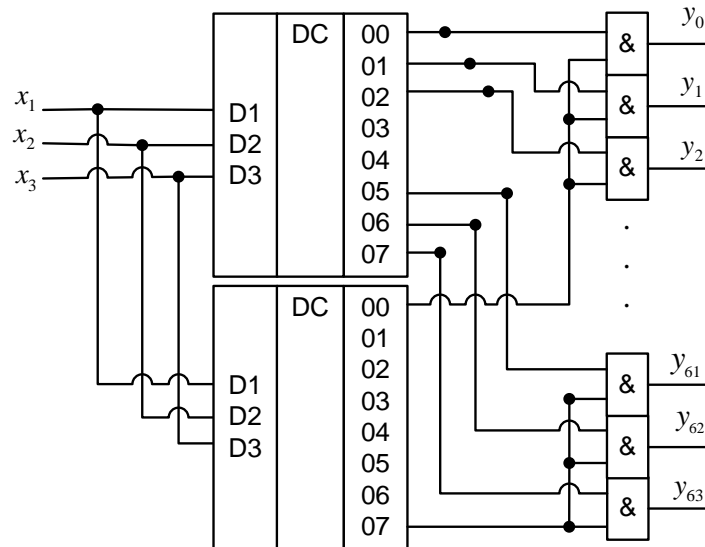


Рисунок 4.2 – Двоступінчастий дешифратор на 64 виходи

*Шифратор* перетворює унітарний код на вході в  $l$ -розрядний двійковий код на виході. Тобто, виконує функцію зворотну дешифратору. При наявності сигналу 1 на одному із входів на  $l$  виходах шифратора з'являється  $l$ -розрядний код, значення якого дорівнює номеру входу, де присутній сигнал 1. Число входів  $m+1$  та виходів  $l$  шифратора пов'язано зі співвідношенням  $2^l = m+1$ . Наприклад, при  $m = 3$ ,  $l = 2$ . Функціонування шифратора описується таблицею істинності (табл. 4.4).

Запишемо рівняння алгебри логіки для цього прикладу

$$y_0 = x_1 + x_3, \quad y_1 = x_2 + x_3.$$

Реалізація такого шифратора на ЛЕ АБО наведена на рис. 4.3. Шифратори у системах керування параметрами технологічних процесів найбільш поширені як кодоперетворювачі двійкового коду в двійково-десятичний та навпаки, а також двійкового коду в код Грея та навпаки. Такі перетворювачі випускають серійно у вигляді постійних запам'ятовуючих пристроїв (К155 ПР6, К155 ПР7).

Таблиця 4.4

$x_3$	$x_2$	$x_1$	$x_0$	$y_1$	$y_0$
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

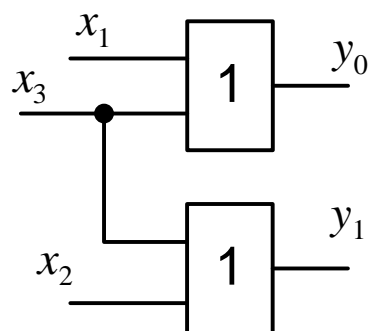


Рисунок 4.3 – Схемна реалізація шифратора

Перетворювачі кодів організуються послідовним включенням дешифратора та шифратора. Схемну реалізацію цих пристроїв розглянемо на прикладі 2-розрядного перетворювача коду Грея у двійковий. Для побудови пристрою складаємо таблицю істинності (табл. 4.5). Із її аналізу видно, що для реалізації в системі керування параметрами технологічних процесів



перетворювача кодів варто виконати відповідні з'єднання виходів дешифратора та відповідних входів шифратора.

Таблиця 4.5 – Таблиця істинності перетворювача кодів

Код Грея		N	Двійковий	
$x_1$	$x_2$		$y_1$	$y_2$
0	0	0	0	0
1	0	1	1	0
1	1	2	0	1
0	1	3	1	1

Електрична принципова схема пристрою перетворення кодів наведена на рис. 4.4.

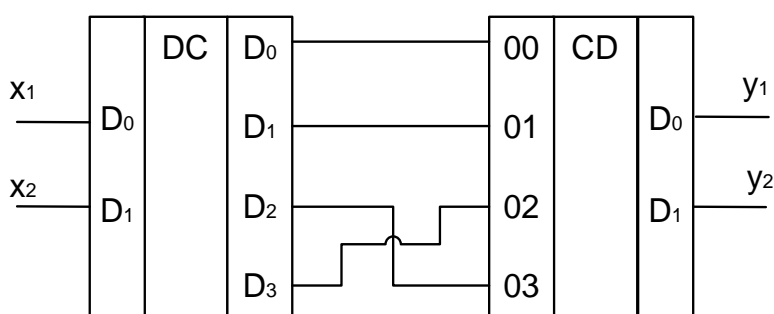


Рисунок 4.4 – Схемна реалізація перетворювача

## 4.2 Схеми порівняння кодів та контролю парності

Схеми порівняння кодів будуються на ЛЕ, які виконують функції рівнозначності та нерівнозначності. Розглянемо метод синтезу схеми одно розрядного порівняння кодів на прикладі ЛЕ І-НІ. Будуємо таблицю істинності роботи пристрою (табл. 4.6).

Таблиця 4.6 – Таблиця істинності схеми порівняння кодів

$x_1$	$x_2$	$y$
0	0	1
1	0	0
0	1	0
1	1	1

На підставі цієї таблиці запишемо рівняння алгебри логіки роботи пристрою, перетворення якого до потрібного базису виконуємо за допомогою правила де Моргана

$$y = x_1 x_2 + \overline{x_1} \overline{x_2} = x_1 x_2 x_1 x_2 .$$

На основі отриманого виразу будемо електричну принципову схему порівняння кодів (рис. 4.5). Побудова схем порівняння багато розрядних кодів залежить від способу кодування, від організації вхідних та вихідних сигналів, а також методу контролю. При проектуванні таких пристроїв можлива безліч варіантів їхньої схемної реалізації. Загальним підходом до розв'язування цієї задачі є приведення вхідних кодів до єдиного вигляду, вибір методу контролю та складання рівняння алгебри логіки для вихідного сигналу.

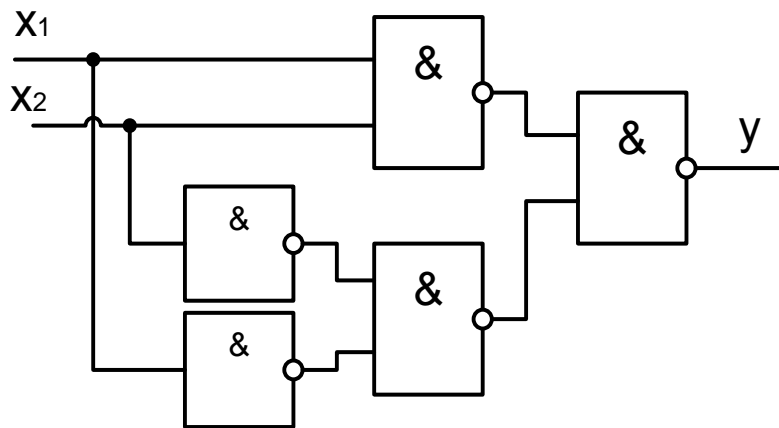


Рисунок 4.5 – Схемна реалізація пристрою порівняння кодів

Схеми контролю парності використовуються у системах управління параметрами технологічних процесів для виявлення похибок при прийомі та оброблянню цифрової інформації. Розглянемо метод синтезу цих пристроїв на прикладі контролю парності двох біт. Будемо таблицю істинності роботи пристрою (табл. 4.7). У якості базового ЛЕ для побудови принципової схеми пристрою застосуємо І-НІ.

Таблиця 4.7 – Таблиця істинності схеми контролю парності

$x_1$	$x_2$	ПАР	НЕПАР
0	0	1	0
1	0	0	1
0	1	0	1
1	1	1	0

На підставі цієї таблиці записуємо рівняння алгебри логіки роботи пристрою, перетворення якого до потрібного базису виконуємо за допомогою правила де Моргана

$$ПАР = x_1 x_2 + \overline{x_1} \overline{x_2} = x_1 x_2 x_1 x_2 .$$

На основі цього виразу будемо електричну принципову схему порівняння кодів (рис. 4.6) на основі контролю парності, яка використовуються у системах управління параметрами технологічних процесів для виявлення похибок при прийомі та оброблянню цифрової інформації.

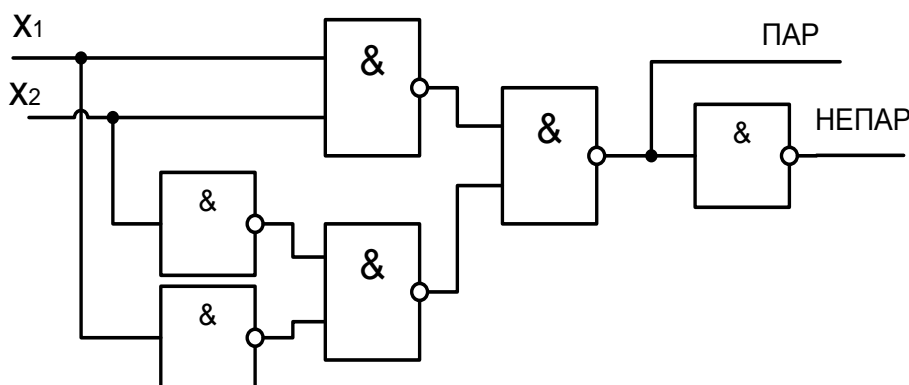


Рисунок 4.6 – Схемна реалізація пристрою контролю парності

### 4.3 Пристрої для підсумовування

Базовим елементом, на основі якого в системах управління параметрами технологічних процесів будуються схеми для підсумовування, є одно розрядний суматор. Ці ЛЕ бувають двох типів: повні та неповні. Неповний суматор реалізує функцію підсумовування двох біт інформації із видачею сигналів суми  $S$  та переносу  $p$ , який виникає при підсумовуванні. Будемо таблицю істинності роботи суматора (табл. 4.8). У якості базового ЛЕ для побудови принципової схеми пристрою застосуємо І-НІ.

Таблиця 4.8

$x_1$	$x_2$	$S$	$p$
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

На підставі цієї таблиці запишемо рівняння алгебри логіки роботи пристрою, перетворення якого до потрібного базису виконуємо за допомогою правила де Моргана

$$S = \overline{x_1 x_2} + \overline{x_1} x_2 + x_1 \overline{x_2} = \overline{\overline{\overline{x_1 x_2} + \overline{\overline{x_1} x_2} + \overline{x_1} \overline{x_2}}}, \quad p = x_1 x_2.$$

На основі отриманих виразів будуюмо електричну принципову схему неповного суматора (рис. 4.7). Повний суматор реалізує функцію підсумовування двох біт інформації та сигналу переносу  $p_{i-1}$  від попереднього підсумовування із видачею сигналів суми  $S$  та переносу  $p$ , який виникає при цьому. Будуюмо таблицю істинності роботи суматора (табл. 4.9). У якості базового ЛЕ для побудови принципової схеми пристрою застосуємо І-НІ.

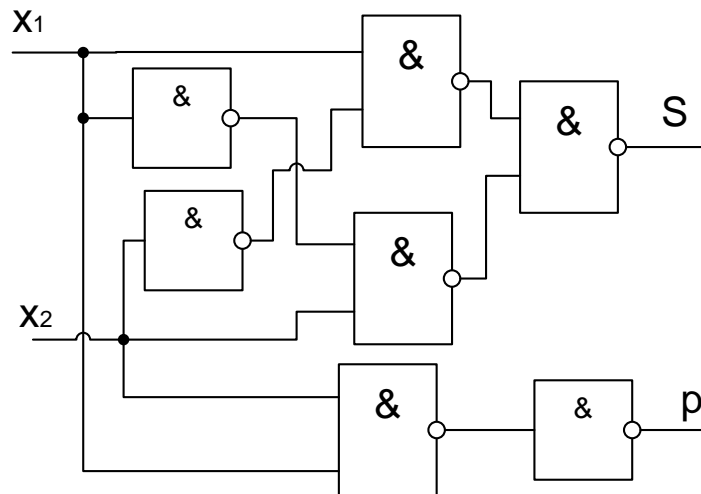


Рисунок 4.7 – Схемна реалізація неповного суматора

Таблиця 4.9

$x_1$	$x_2$	$p_{i-1}$	$S$	$p$
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

На підставі цієї таблиці запишемо рівняння алгебри логіки роботи пристрою, перетворення якого до потрібного базису виконуємо за допомогою правила де Моргана. Мінімізацію виразу для сигналу переносу виконуємо за допомогою методу Квайна

$$\begin{aligned}
 S &= \overline{x_1 x_2 p_{i-1}} + \overline{x_1 x_2 p_{i-1}} + \overline{x_1 x_2 p_{i-1}} + \overline{x_1 x_2 p_{i-1}} = \\
 &= \overline{x_1 x_2 p_{i-1} x_1 x_2 p_{i-1} x_1 x_2 p_{i-1} x_1 x_2 p_{i-1}}, \\
 p &= x_1 x_2 + x_1 p_{i-1} + x_2 p_{i-1} = \overline{x_1 x_2 x_1 p_{i-1} x_2 p_{i-1}}.
 \end{aligned}$$

На основі отриманих виразів будуюмо електричну принципову схему неповного суматора (рис. 4.8).

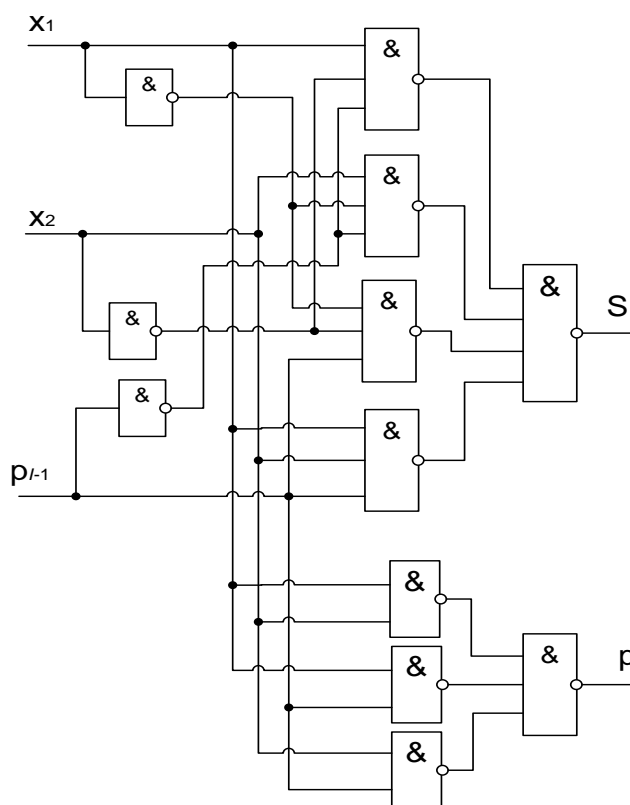


Рисунок 4.8 – Схемна реалізація повного суматора

#### 4.4 Мультиплексори та демюльтиплексори

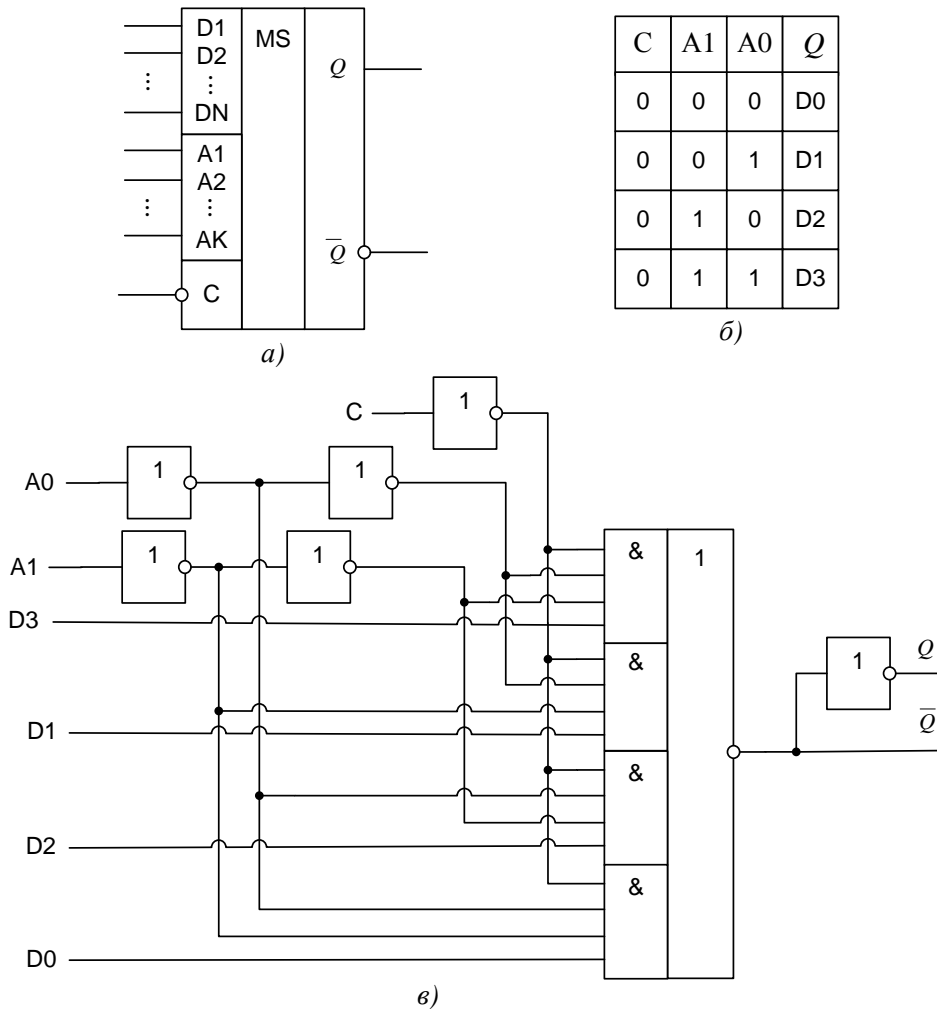
Особливу групу КП у системах керування параметрами технологічних процесів складають логічні комутатори. Це такі схеми, які призначено для вибіркового переключення входних каналів [2...6]. До них відносяться мультиплексори.

*Мультиплексор* – це цифровий пристрій, що залежно від значення коду на адресних входах ( $A_0, A_1, \dots, A_M$ ) здійснює вибір одного із інформаційних входів ( $D_0, D_1, \dots, D_N$ ) та забезпечує спрямовану передачу його сигналу на вихід  $Q$ . Мультиплексор можна уявити як безконтактний багатопозиційний перемикач.

На рис. 4.9а вказано умовне позначення мультиплексору на ІС, яка має вхід управління  $S$ . Кожному інформаційному входу мультиплексора привласнюється номер, який називається його адресою. При появі на управляючому вході  $S$  сигналу логічної одиниці, мультиплексор підключає інформаційний вхід до виходу. Адреса цього входу відповідає двійковому коду, який подано на адресні входи. Змінюючи сигнали на адресних входах мультиплексору при наявності на управляючому вході дозволяючого сигналу,

можна забезпечити передачу сигналів із різних інформаційних входів на його вихід. Число інформаційних входів  $N$  мультиплексу та кількість його адресних входів  $M$  пов'язані таким співвідношенням

$$N = 2^{M+1}.$$



а – схематичне зображення; б – опис; в – структурна побудова  
Рисунок 4.9 – Мультиплексор

Роботу мультиплексу, наприклад, із двома адресними і чотирма інформаційними входами, можна описати таблицею (рис. 4.9б). При відсутності дозволяючого сигналу ( $\bar{C} = 1$ ) зв'язок між інформаційними входами та виходом відсутній (при цьому  $Q = 0$ ). При наявності дозволяючого сигналу ( $\bar{C} = 0$ ) на вихід передається логічний рівень того із інформаційних входів  $D_i$ , номер якого у двійковій формі задано сигналами на його адресних входах. Так, якщо  $A_1 \bar{A}_0 = 10_2 = 2_{10}$ , на вихід  $Q$  буде передаватися сигнал із входу  $D_2$ . За таблицею можна записати ЛФ виходу мультиплексу

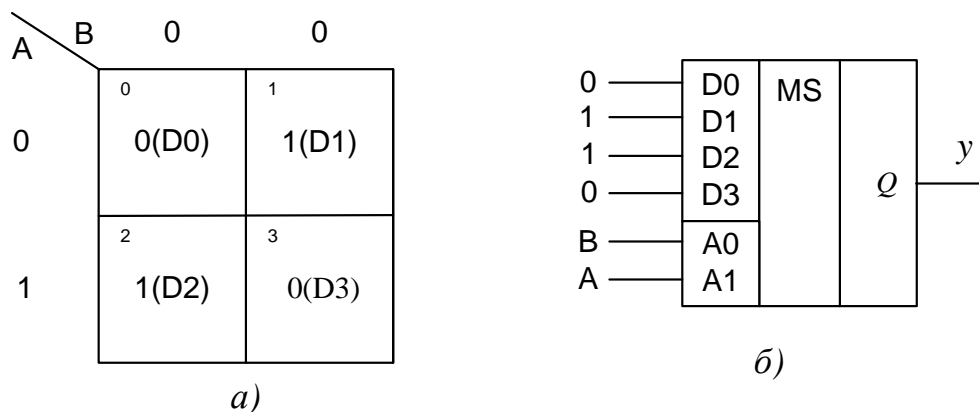
$$Q = (D_0 \cdot \bar{A}_1 \cdot \bar{A}_0 + D_1 \cdot \bar{A}_1 \cdot A_0 + D_2 \cdot A_1 \cdot \bar{A}_0 + D_3 \cdot A_1 \cdot A_0) \cdot C.$$

Структурна схема такого мультиплексору наведена на рис. 4.9в. Мультиплексори можуть бути використано для синтезу КП, які реалізують ЛФ багатьох змінних. При цьому мультиплексор працює як універсальний ЛЕ. Він реалізує будь-яку ЛФ, яка містить у собі до  $M+1$  змінних, де  $M$ -число адресних входів мультиплексора [2, 3]. Один мультиплексор у цьому випадку заміняє кілька корпусів із ЛЕ І, АБО, НІ.

При синтезі КП на мультиплексорах треба скласти карту Карно заданої ЛФ. Число інформаційних входів мультиплексора обирають рівними числу клітинок карти Карно. Якщо двійкові коди на адресних входах мультиплексора та коди клітинок карт Карно збігаються, й інформаційні сигнали визначаються значеннями 0 чи 1, то такий мультиплексор цілком відтворює карту Карно, тобто заданий КП. Розглянемо приклади застосування мультиплексорів при синтезі КП і деякі прийоми підвищення ефективності їхнього використання.

**Приклад 4.1.** Задана функція нерівнозначності, яка описується виразом  $y = A \cdot \bar{B} + \bar{A} \cdot B$  та картою Карно (рис. 4.10а). У правому нижньому куті кожної клітинки карти позначимо відповідний інформаційний вхід мультиплексора. Логічні рівні 0 та 1, записані в клітинках карти, привласнимо значенням вхідних сигналів  $D_i$  ( $i = 0, \dots, 3$ ) мультиплексора. Якщо на входи мультиплексора подати код, який вказано на рис. 4.9б, то при подачі змінних  $A$  і  $B$  на входи адреси  $A_0 A_1$  маємо таке:

- при  $AB = 00$  значення  $y = 0$ ;
- при  $AB = 01$   $y = 1$ ;
- при  $AB = 10$   $y = 1$ ;
- при  $AB = 11$   $y = 0$ .

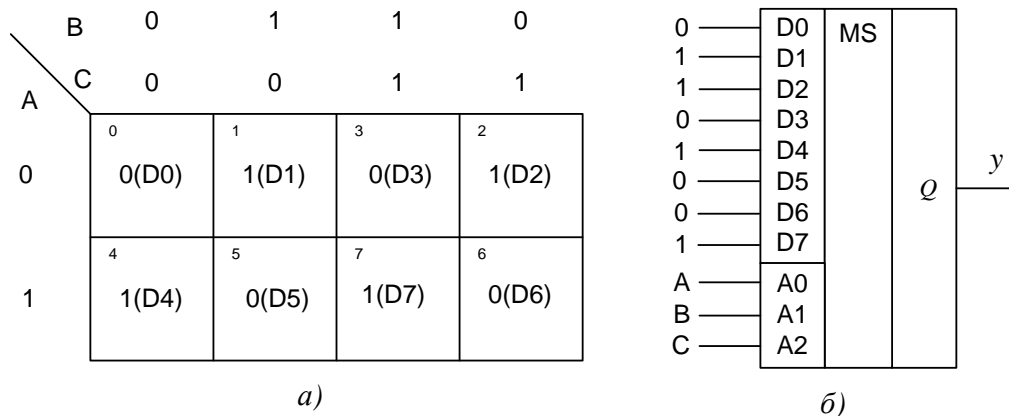


а – карта Карно; б – схематичне зображення мультиплексора  
Рисунок 4.10 – Карта Карно і схема підключення мультиплексора

**Приклад 4.2** Задано ЛФ

$$y = \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C.$$

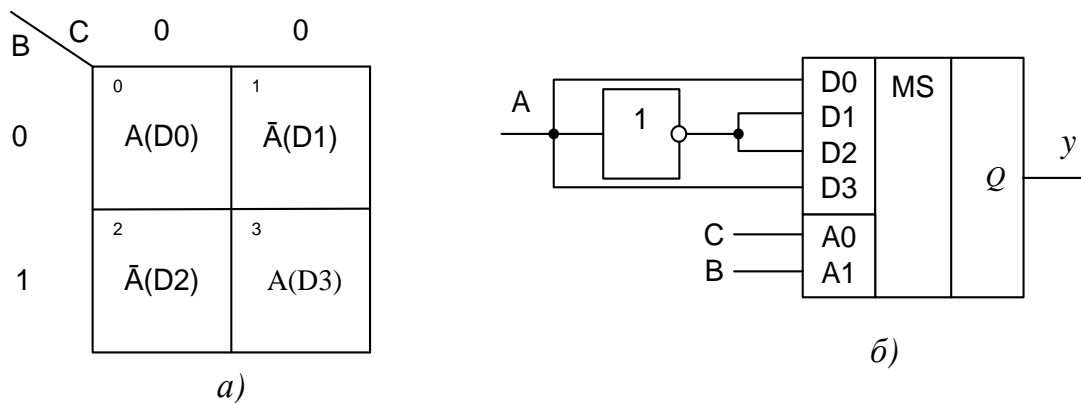
Карту Карно для цієї функції подано на рис. 4.11а. Для реалізації ЛФ використовуємо 8-входовий мультиплексор (рис. 4.11б). Однак ту ж функцію можна реалізувати за допомогою мультиплексору із меншим числом входів.



*a – карта Карно; б – схема подачі сигналів*

*Рисунок 4.11 – Карта Карно і схема підключення мультиплексора*

Наприклад, вхідні сигнали  $B$  і  $C$  будуть присутні на адресних входах мультиплексора, а вхідний сигнал  $A$  використаємо для формування сигналів на інформаційних входах. При цьому кожній комбінації сигналів  $BC$  на карті Карно буде відповідати не клітинка, а стовпець. Задаємо кожному стовпцю карти один із входів 4-входового мультиплексора, що еквівалентно переходу до 4-клітинної карти Карно (рис. 4.12а).



*a – карта Карно; б – схема подачі сигналів*

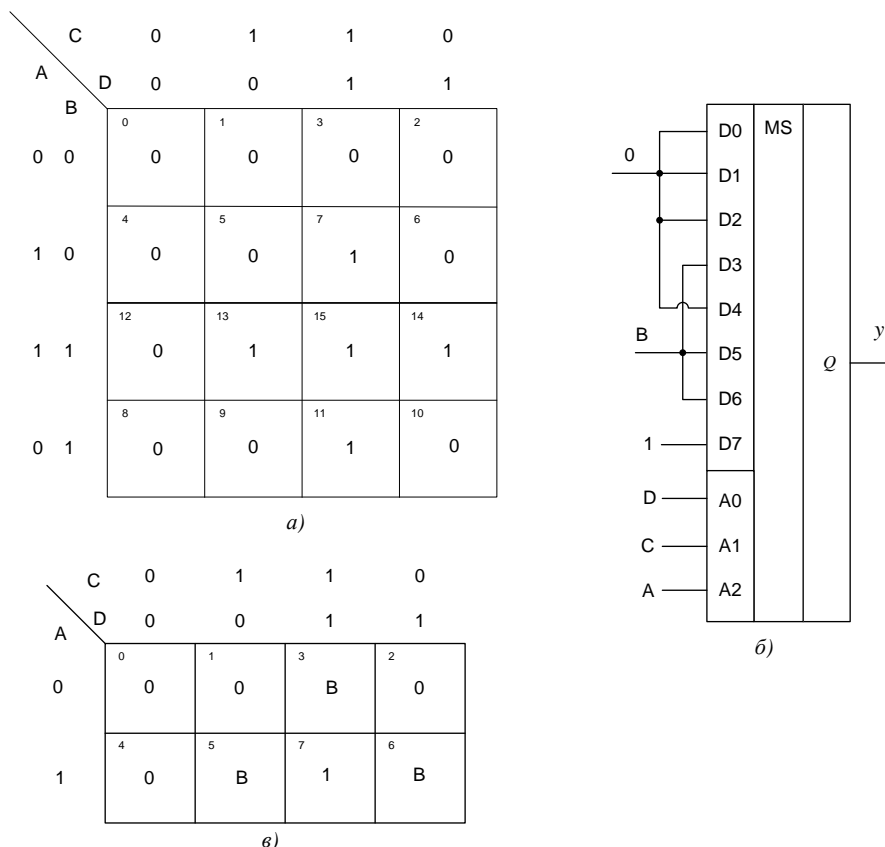
*Рисунок 4.12 – Варіанти реалізації функції*

У новій 4-клітинній карті Карно значення функції  $y$  виражені через вхідний сигнал  $A$  за допомогою первісної (8-клітинної) карти, де значення  $y$  збігаються із  $A$  у клітинках першого стовпця ( $y = A$ ), значення  $y$  дорівнюють інверсним значенням  $y$  у клітинках другого стовпця ( $y = \bar{A}$ ), і т.д. У загальному випадку можливі чотири варіанти визначення функції  $y$  за новою



картою:  $y = A$ ;  $y = \bar{A}$ ;  $y = 0$  і  $y = 1$ . Два останніх варіанти будуть мати місце, коли у вихідній карті (рис. 4.5а) в обох клітинках стовпця  $y = 1$  або  $y = 0$ . Реалізація ЛФ у за допомогою 4-входового мультиплексора показана на рис. 4.12б.

**Приклад 4.3.** Більш складним прикладом синтезу КП на основі мультиплексора є 4-входовий цифровий компаратор для сигналів  $ABCD$ . Нехай: при  $y = 1$  у тих випадках, коли три й більше вхідних сигналів дорівнюють 1. Відповідно до цього словесного опису карту Карно подано на рис. 4.13а.

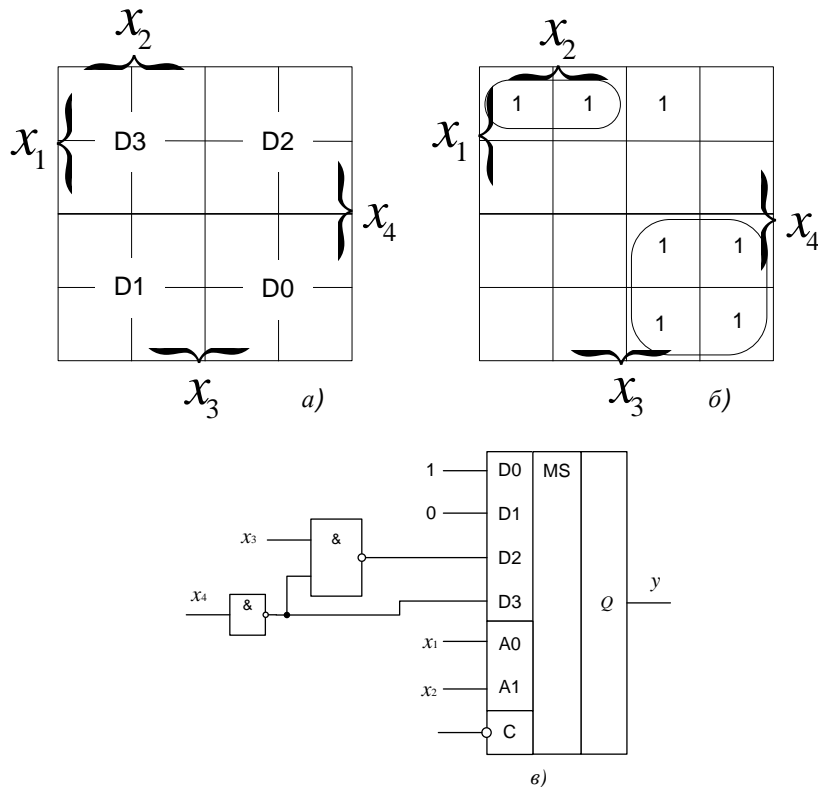


*а – початкова карта, б – 8-клітинна карта, в – схема подачі сигналів  
Рисунок 4.13 – Формування карт Карно*

Нехай вхідні сигнали  $A, C$  і  $D$  будуть надходити на адресні входи, а сигнали  $B$  використовуємо для формування сигналів на інформаційних входах. У загальному випадку доцільно подавати на адресні (селекторні) входи мультиплексора змінні, котрі входять у більше число додатків структурної формули в ЗДНФ.

В кожному стовпці вихідної карти попарно об'єднаємо клітинки при  $A = 0$  та  $A = 1$ , а значення вихідної функції  $y$  для кожної пари клітинок подаємо через значення змінної  $B$ . Це дозволяє перейти до 8-клітинної карти Карно (рис. 4.13б), за допомогою якої встановлюємо стани інформаційних входів:  $D_0=0$  (код клітинки карти Карно  $ACD=000$ );  $D_1 = 0$  ( $ACD = 001$ );  $D_2 = 0$  ( $ACD = 010$ );  $D_3 = B$  ( $ACD = 011$ ) і т.п. Реалізація такого компаратора подана на рис. 4.13в.

Якщо для формування сигналів на інформаційних входах мультиплексора використати ЛЕ, то можна скоротити кількість його входів. Нехай потрібно синтезувати ЛФ чотирьох змінних  $f(x_1, x_2, x_3, x_4)$  із використанням 4-входового мультиплексора. Якщо адресними змінними обрати  $x_1$  та  $x_2$ , то на інформаційні входи мультиплексора повинні надходити змінні  $x_3$  та  $x_4$ , які обумовлено (рис. 4.14а) областями діаграм Вейча [2].

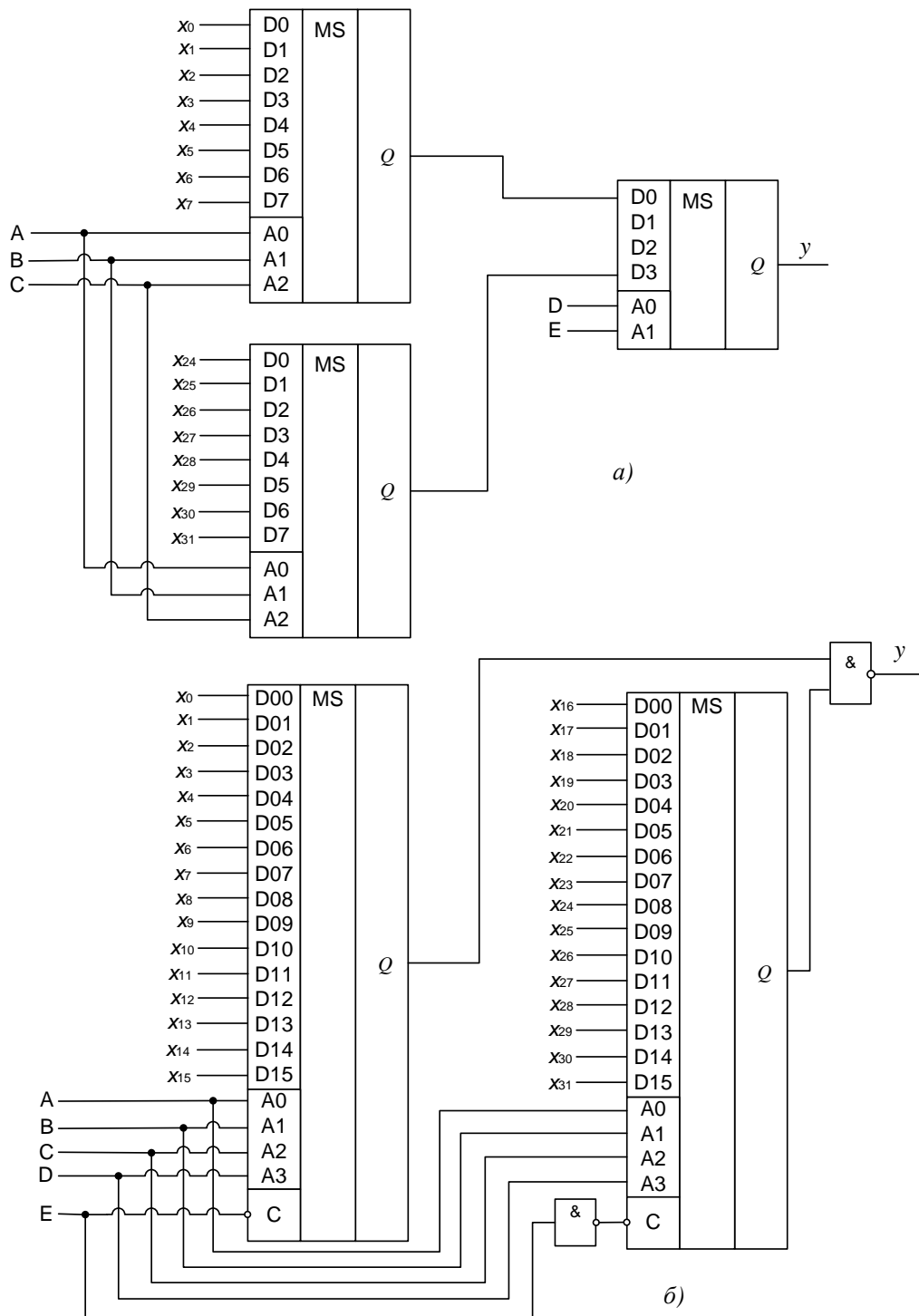


*a – діаграма Вейча; б – карта Карно; в – схемна реалізація*  
 Рисунок 4.14 – Синтез КП на мультиплексорі із використанням ЛЕ

У мультиплексорів, які випускаються промисловістю у вигляді ІС [2...5], число інформаційних входів не перевищує шістнадцяти. У середині кожної чергової області діаграми Вейча проводиться процедура мінімізації. Якщо ЛФ чотирьох змінних задано картою (рис. 4.14б), то на інформаційні входи  $D_0 \dots D_3$  мультиплексора повинні надходити сигнали 1, 0,  $(x_3 \cdot \bar{x}_4)$  та  $\bar{x}_4$  відповідно. Реалізація цієї ЛФ наведено на рис. 4.14в. Збільшити кількість входів можна або шляхом об'єднання декількох мультиплексорів у пірамідальну (деревоподібну) систему, або шляхом послідовного з'єднання входів, управляючих сигналів та зовнішніх ЛЕ.

При пірамідальній побудові принципової схеми мультиплексора кожна наступна ступінь починається із першої. Вона має меншу кількість входів, чим попередня. Молодші розряди коду підключено до адресних входів першої ступені. Ступеням більш високого рангу відповідають старші розряди коду. На рис. 4.15а наведено схема мультиплексора

із 32-ма інформаційними входами, яку побудовано із використанням чотирьох 8-входових мультиплексорів та одного 4-входового. Велика кількість ІС є недоліком пірамідальної побудови схеми мультиплексора. Зменшити кількість ІС можливо шляхом побудови мультиплексорів із використанням входів управляючих сигналів (рис. 4.15б).



*а – пірамідальна побудова; б – із використанням управляючих сигналів*  
**Рисунок 4.15 – Схема розширення числа входів мультиплексора**

На відміну від мультиплексорів, які виконано за ТТЛ-технологією, мультиплексори на основі КМОП-технології за даними роботи [3] будуються із використанням дешифраторів та двоспрямованих ключів (рис. 4.16). Мікросхема містить у собі такі пристрої:

- перетворювач логічних рівнів, який забезпечує узгодження потенціалів цифрових вхідних сигналів і внутрішніх потенціалів мікросхеми;
- дешифратор, що здійснює перетворення вхідного коду на адресних входах  $A, B, C$  у сигнал на одному із його виходів;
- двоспрямовані ключі, які управляються вихідними сигналами дешифратора.

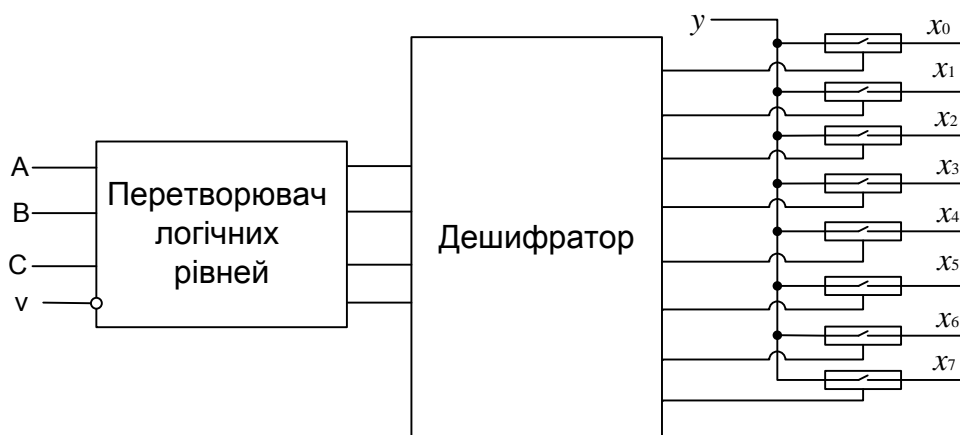


Рисунок 4.16 – Структура мультиплексору КМОП-технології

Сигнал від входу  $X$  до виходу  $Y$  проходить без додаткових перетворень у проміжних ЛЕ ІС. Це дає можливість здійснювати комутацію як цифрових (імпульсних), так і аналогових сигналів. При цьому неспотворена передача аналогових сигналів забезпечується відповідним вибором величини живлячої напруги та схемою підключення двоспрямованих ключів.

Демультимплексори виконують функції, які протилежні функціям мультиплексору. Вхідний сигнал  $x$  надходить на один із  $N$  виходів залежно від значення коду адреси  $A_1 \dots A_M$  (рис. 4.17). При цьому демультимплексори мають  $N = 2^M$  виходів (прямих чи інверсних). Приклад таблиці істинності для  $N = 4$  наведено в табл. 4.10.

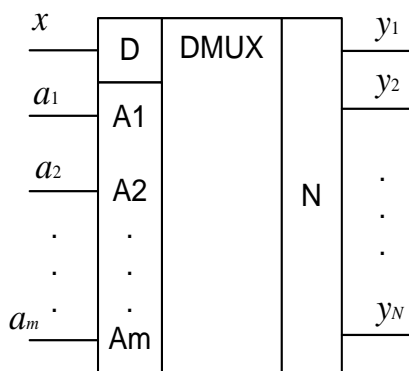


Рисунок 4.17 – Схема зображення демультимплексора

Таблиця 4.10

$a_2$	$a_1$	$y_1$	$y_2$	$y_3$	$y_4$
0	0	$D$	0	0	0
0	1	0	$D$	0	0
1	0	0	0	$D$	0
1	1	0	0	0	$D$

Якщо на інформаційному вході  $D$  присутня логічна одиниця, то на обраному згідно із адресою виході також формується логічна одиниця (на інших виходах логічний нуль). Демультиплексор у даному випадку є дешифратором. Якщо на вході  $D$  встановлено логічний нуль, то ІС виконує функцію демультиплексора. Їх називаються дешифраторами-демультиплексорами. Звичайно дешифратори-демультиплексори мають чотири, вісім або шістнадцять виходів.

Дешифратор-демультиплексор (рис. 4.18) має два входи дозволу ( $\overline{E0}$  і  $\overline{E1}$ ) та чотири адресних входи. Для демультиплексору на одному із входів дозволу повинен бути логічний нуль, а інший вхід використовується як інформаційний. Якщо логічний нуль присутній на обох входах  $\overline{E0}$  і  $\overline{E1}$ , то ІС працює як дешифратор на чотири входи і шістнадцять виходів. При наявності логічної одиниці на кожному із входів  $\overline{E0}$  та  $\overline{E1}$  на усіх виходах встановлюється логічна одиниця.

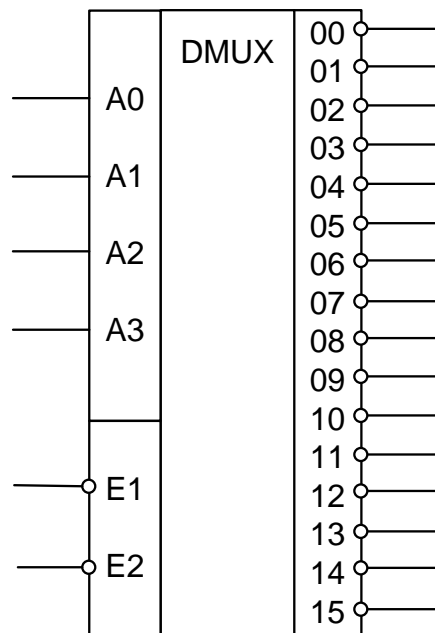
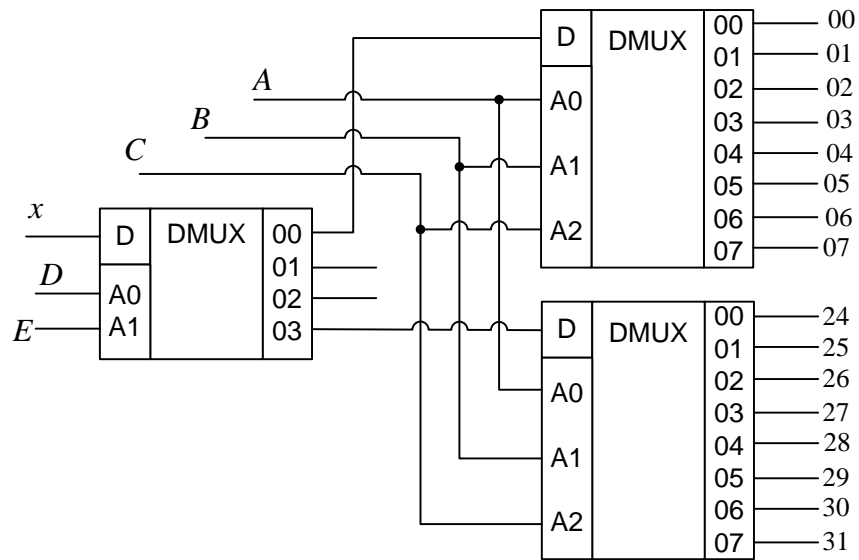
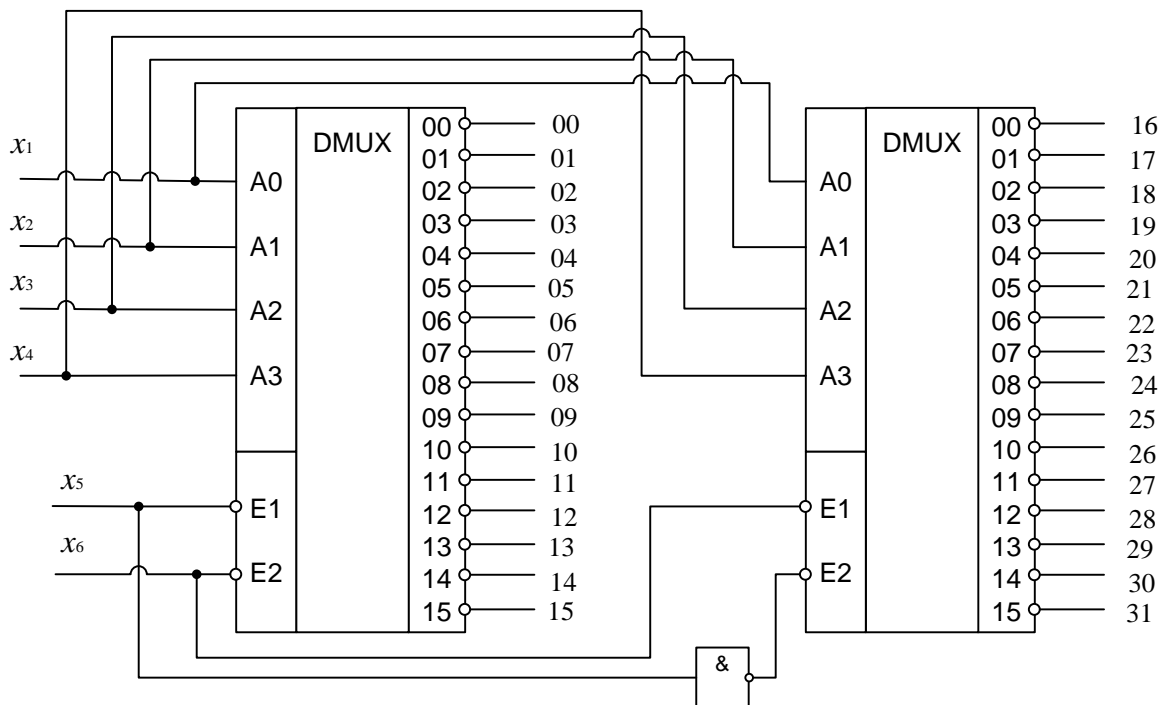


Рисунок 4.18 – Дешифратор-демультиплексор на шістнадцять виходів

Демультиплексори можуть поєднуватися у пірамідальну структуру із використанням входів дозволу (рис. 4.19а, б). За допомогою демультиплексорів-дешифраторів здійснюється реалізація ЛФ, заданих таблицями істинності (табл. 4.11).



а)



б)

а – демультиплексори; б – дешифраторів-демультиплексорів  
Рисунок 4.19 – Схеми розширення числа виходів

ЛФ може бути подана у вигляді

$$y = m_1 + m_2 + m_4 + m_5 + m_7,$$

де  $m_i$  – відповідний мінтерм чи кон'юнкція.

Таблиця 4.11

$x_3$	$x_2$	$x_1$	$y_0$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Перепишемо цей вираз в інверсній формі

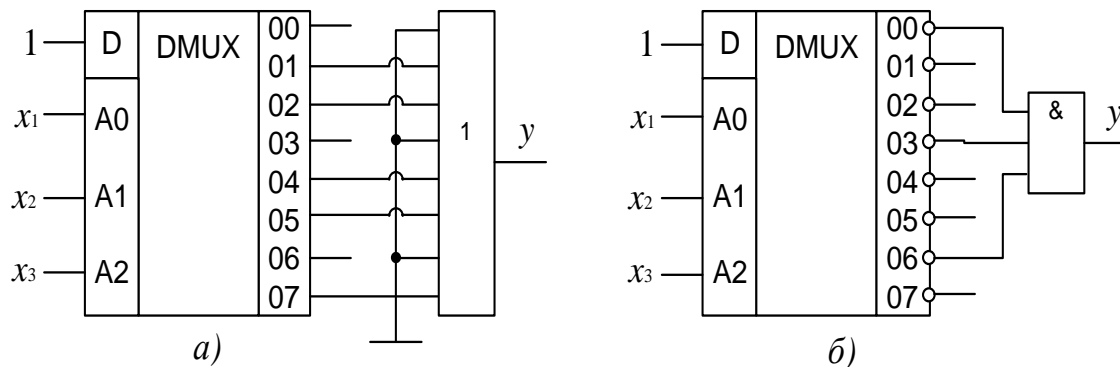
$$\bar{y} = m_0 + m_3 + m_6.$$

Перетворимо ЛФ із використанням інверсії

$$y = \overline{m_0 + m_3 + m_6} = \bar{m}_0 \cdot \bar{m}_3 \cdot \bar{m}_6.$$

Схемні реалізації двох ЛФ наведено на рис. 4.20а, б відповідно. Найбільш ефективним є використання демультиплексорів у КП, які мають значну кількість вихідних сигналів:

- розподільники імпульсних послідовностей [4];
- пристрої формування сигналів [7];
- формування декількох ЛФ [3] та ін.



а – на демультиплексорі; б – на дешифраторі

Рисунок 4.20 – Схемні реалізації ЛФ

При спільному використанні мультиплексора та демультиплексора можна побудувати пристрої, у яких входи-виходи підключаються за заданою адресою [3, 7]. Реалізація КП на мультиплексорах та демультиплексорах, які являють собою ІС середнього ступеня інтеграції, скорочує

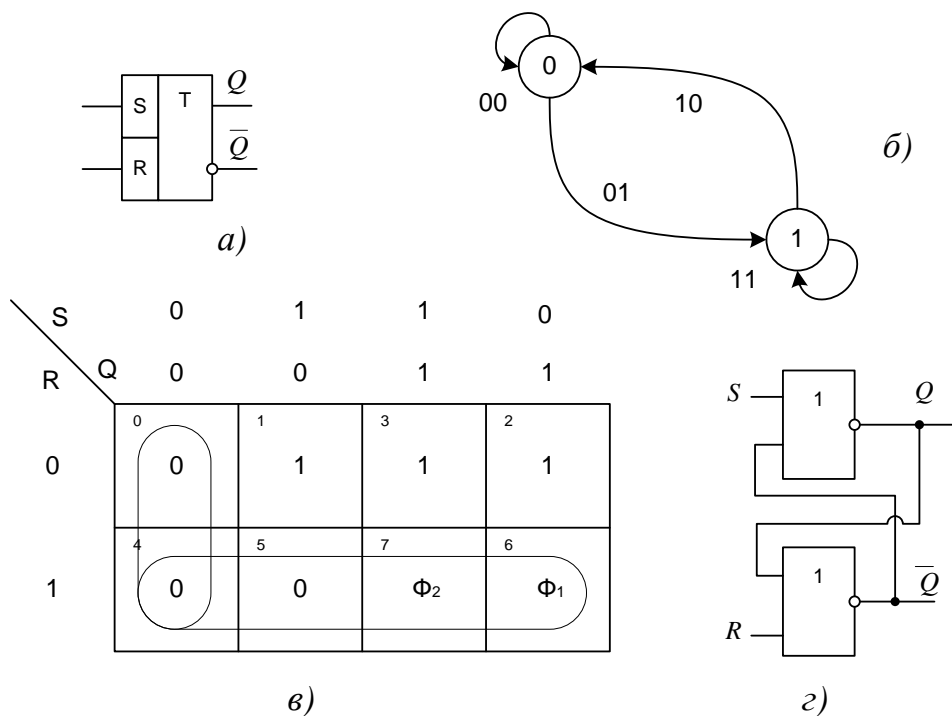
необхідну кількість корпусів мікросхем та кількість зв'язків (сполучень) між ними. В наслідок цього підвищується надійність роботи.

#### 4.5 Тригери. Методи синтезу схем тригерів

Основною властивістю тригерів, які являють собою найпростіші ПП, є збереження одного із двох стійких станів після припинення дії вхідних сигналів. Тригер має два виходи: прямий  $Q$  та інверсний  $\bar{Q}$ . Якщо напруга на виході  $Q$  відповідає рівню логічному 0 ( $Q = 0$ ), то тригер знаходиться в стані логічного 0; при  $Q = 1$  тригер знаходиться в стані логічної 1. Розглянемо властивості  $RS, T, D, DV$  та  $JK$ -тригерів, які широко використовуються в системах керування параметрами технологічних процесів при побудові ключів, пристроїв для переривань та інше.

*Асинхронні RS-тригери.* Асинхронний  $RS$ -тригер, умовне позначення якого показано на рис. 4.21а, функціонує таким чином:

- якщо сигнали на його входах  $R^n = S^n = 0$ , то тригер не змінює свого стану ( $Q^n = Q^{n-1}$ );
- якщо  $R^n = 0$ , а  $S^n = 1$  (назва входу  $S$  походить від англійського слова “*SET*” – установка), то тригер переключиться в стан 1  $Q^n = 1$ ;
- якщо  $R = 1$  ( $R$  відповідає слову «*RESET*» – скидання),  $S^n = 0$ , тригер переключиться в стан 0  $Q^n = 0$ ;
- одночасна поява 1 на обох входах ( $R^n = S^n = 1$ ) заборонена.



а – умовне зображення; б – граф роботи; в – карта Карно; г – схема  
Рисунок 4.21 – RS-тригер

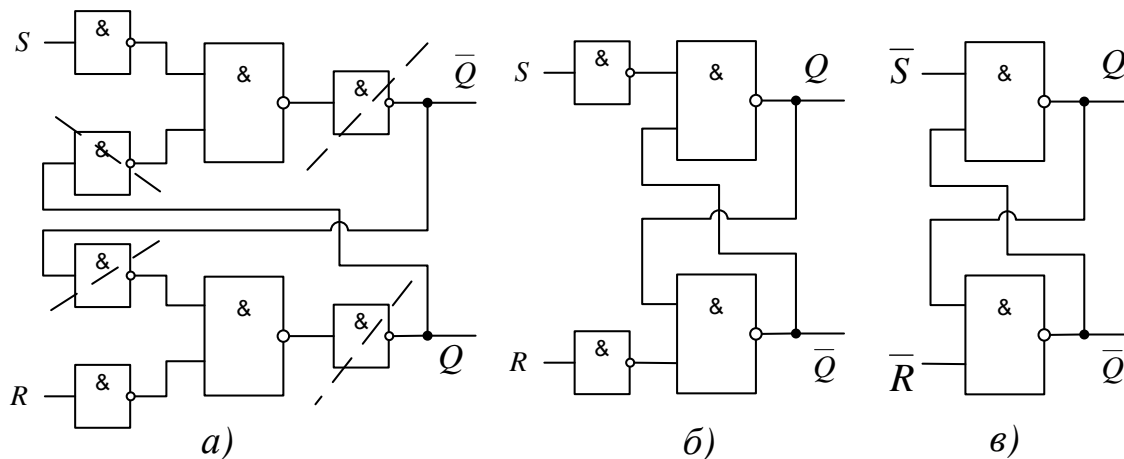


Правила роботи можна подати графом (рис. 4.21б), але слід зазначити, що граф не містить заборонених комбінацій вхідних сигналів. Маючи формальний опис тригера, можна синтезувати його схему так само, як схему КП [2]. Для цього використовуючи ЛЕ АБО-НІ, заповнюють таблицю істинності для  $Q^n$ , складають карту Карно (рис. 4.21в), за допомогою якої одержують структурну формулу для  $Q^n$

$$Q^n = \overline{R^n} \cdot (S^n + Q^{n-1}) = \overline{\overline{R^n} \cdot (S^n + Q^{n-1})} = R^n + \overline{(S^n + Q^{n-1})} .$$

Схему тригера, який функціонує за цією структурною формулою, подано на рис. 4.21г. Там враховано, що  $Q^{n-1}$  і  $Q^n$  є сигналами в одній точці схеми в різні моменти часу (штрихова лінія на рис. 4.21г). При наявності на обох входах пристрою однакових перемикаючих сигналів  $R^n$  і  $S^n$  стан виходів із рівною ймовірністю може стати як одиничним, так і нульовим. Оскільки ця невизначеність неприйнятна для тригера, то така комбінація є забороненою.

Використовуючи ЛЕ І-НІ, одержимо схему, яку зображено на рис. 4.22а. Виключивши зайві елементи, перекреслені пунктирними лініями, прийдемо до  $RS$ -тригера (рис. 4.22б) із тією ж таблицею перемикання. Усунувши із схеми вхідні інвертори, одержимо  $RS$ -тригер з нульовими перемикаючими сигналами (рис. 4.23в). Переходи цього  $RS$ -тригера показано в табл. 4.12.

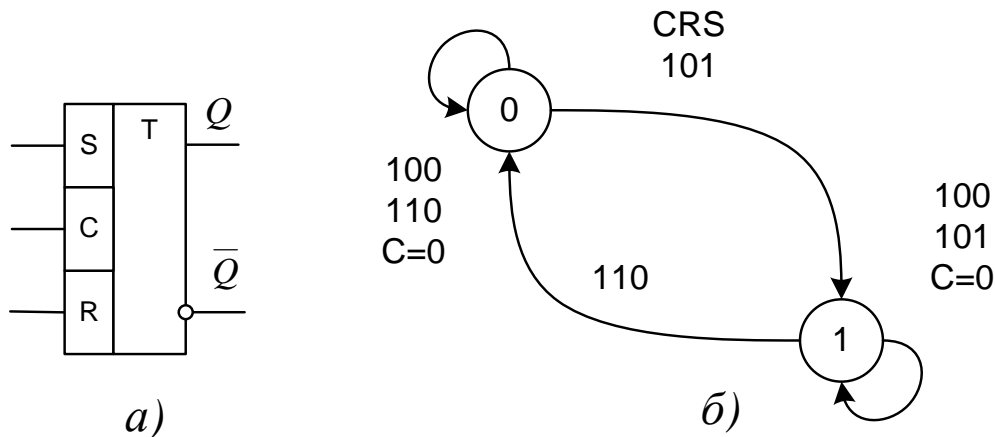


*а – схема складена по формулі;  
 б – схема з одиничними сигналами перемикання;  
 в – схема з нульовими сигналами перемикання*  
 Рисунок 4.22 – Синтез  $RS$ -тригера на ІС І-НІ

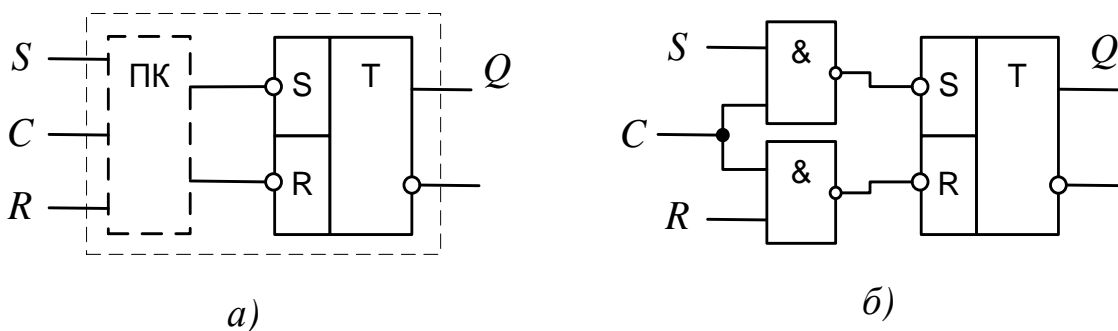
Таблиця 4.12 – Таблиця істинності RS-тригера

$R^n$	$S^n$	$Q^n$
0	0	$Q^{n-1}$
0	1	1
1	0	0
1	1	–

*Синхронні RS-тригери.* Синхронний RS-тригер змінює свій стан, при зміні управляючих сигналів лише при наявності сигналу потрібного рівня на вході синхронізації  $C$ . При  $C = 0$  стан тригера не змінюється. Функціональне позначення RS-тригера та граф його роботи показано на рис. 4.23. За принципом роботи цей тригер відповідає асинхронному RS-тригеру із одиничними перемикаючими сигналами при  $C^n = 1$ . З огляду на це, можна подати структуру синхронного тригера у вигляді послідовно з'єднаних пристроїв управління (ПК) та елемента пам'яті – RS-тригера (рис. 4.24, а).



а – умовне позначення; б – граф роботи  
Рисунок 4.23 – Синхронний RS- тригер



а – блок-схема; б – структурна схема  
Рисунок 4.24 – Побудова синхронного тригера

Таблиці істинності для входів елемента пам'яті  $R'$  та  $S'$  (табл. 4.13, табл. 4.14 та табл. 4.15) складено із урахуванням словесного опису роботи синхронного тригера. Оскільки таблиці містять значне число одиниць для функцій  $R'$  та  $S'$ , то карти Карно можна скласти для зворотних функцій. Одержана завдяки цьому схема наведена на рис. 4.24б.

*T-тригери.* Рахунковий тригер (рис 4.25а) має один інформаційний вхід (від слова «*TOGGLE*» – перемикач). *T*-тригер переключується в протилежний стан із приходом кожного перемикаючого сигналу на вхід *T*. Таблиця переключень *T*-тригера такого пристрою (табл. 4.16) містить два рядки.

Таблиця 4.13

$R^n$	$S^n$	$Q^{n-1}$	$Q^n$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	$\Phi_1$
1	1	1	$\Phi_2$

Таблиця 4.14

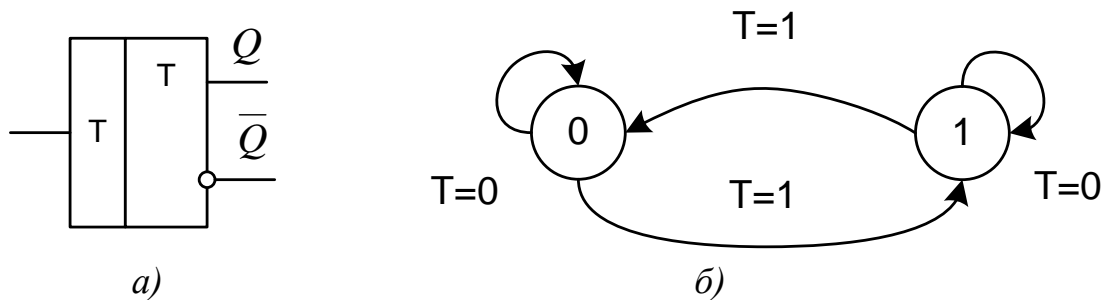
$R'$	$S'$	$Q^n$
1	1	$Q^{n-1}$
1	0	1
0	1	0
0	0	-

Таблиця 4.15

$C^n$	$R^n$	$S^n$	$R^n$	$S^n$
0	0	0	1	1
0	0	1	1	1
0	1	0	1	1
0	1	1	$\Phi_1$	$\Phi_2$
1	0	0	1	1
1	0	1	1	0
1	1	0	0	1
1	1	1	$\Phi_3$	$\Phi_4$

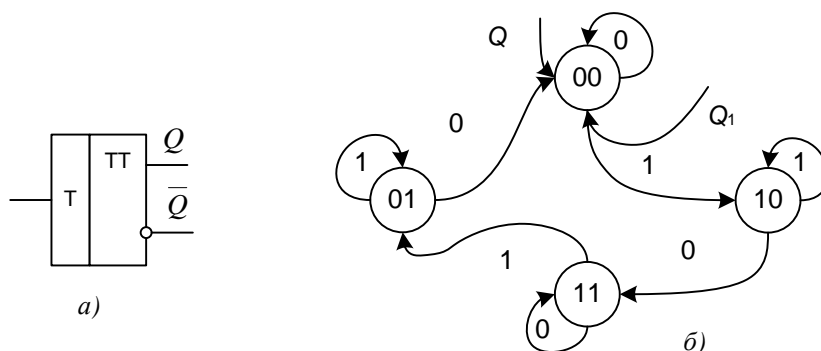
Таблиця 4.16

$T^n$	$Q^n$
0	$Q^{n-1}$
1	$\overline{Q}^{n-1}$



*a – умовне позначення; б – граф роботи  
Рисунок 4.25 – Одноступеневий T-тригер*

Якщо розглянути граф переходів  $T$ -тригера на одному елементі пам'яті (рис. 4.25б), то очевидно, що він буде нестійким. При  $T^n = 1$  буде відбуватися переключення тригера із одного стану в інший і назад (режим генерації). Забезпечення стійкості роботи  $T$ -тригера здійснюється одним із двох способів: побудовою двоступеневих тригерів, або організацією динамічного управління. У двоступеневому  $T$ -тригері (рис. 4.26) один елемент пам'яті формує вихідні сигнали  $Q$  і  $\bar{Q}$ , а другий забезпечує стійкість роботи. Ці тригери часто називають тригерами типу  $MS$  від англійських слів “*MASTER*” – хазяїн та “*SLAVE*” – раб (у російській інтерпретації: система «ведучий-ведений»).



*a – умовне позначення; б – граф роботи  
Рисунок 4.26 – Двоступеневий T-тригер*

Проведемо синтез такої схеми  $T$ -тригера, вважаючи, що до його структури входять два  $RS$ -тригери: основний  $Q$  та допоміжний  $Q_1$ . Задача синтезу зводиться до визначення функцій управління елементами пам'яті ( $RS$ -тригерів). За допомогою графа переключень складається таблиця істинності (табл. 4.12) для входніх сигналів  $RS$ -тригерів. При цьому там, де можливо, ставиться знак  $\Phi$ , щоб повніше використовувати можливості процедури мінімізації. Потім за картами Карно (рис. 4.27), отриманими для інверсних функцій, визначаються структурні формули, що дозволяють побудувати схему двоступеневого  $T$ -тригера. Вона включає два  $RS$ -тригери та додаткові елементи, що відповідають отриманим структурним формулам.

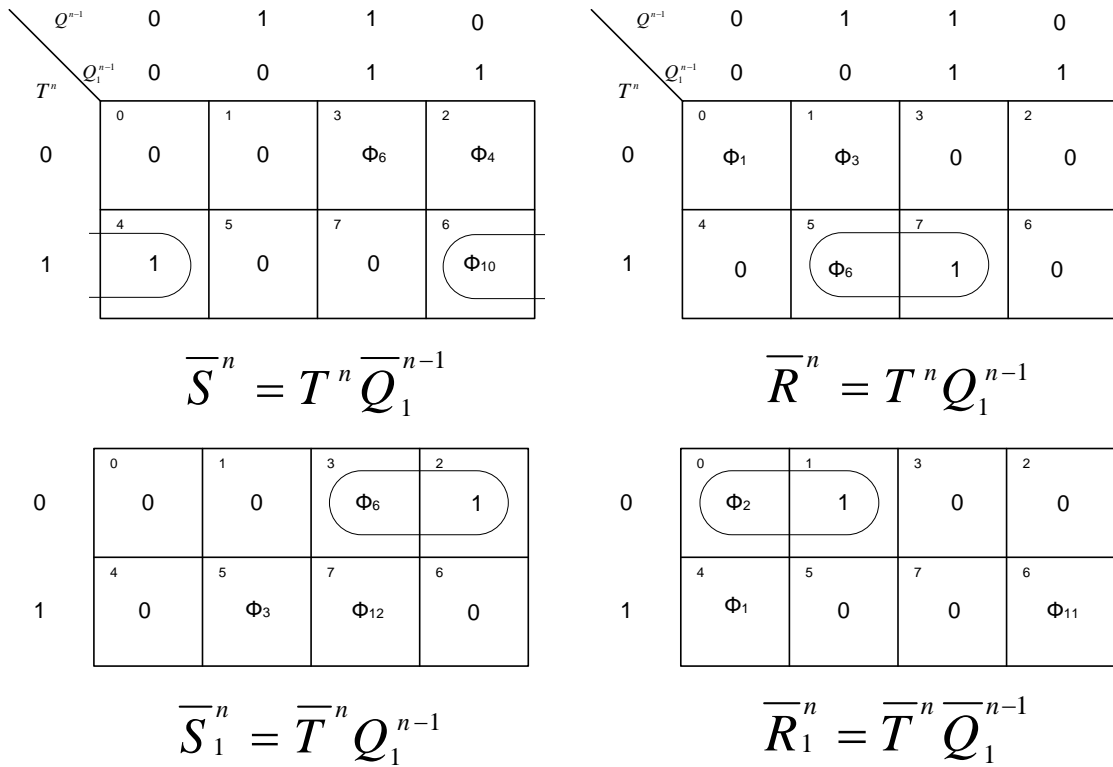
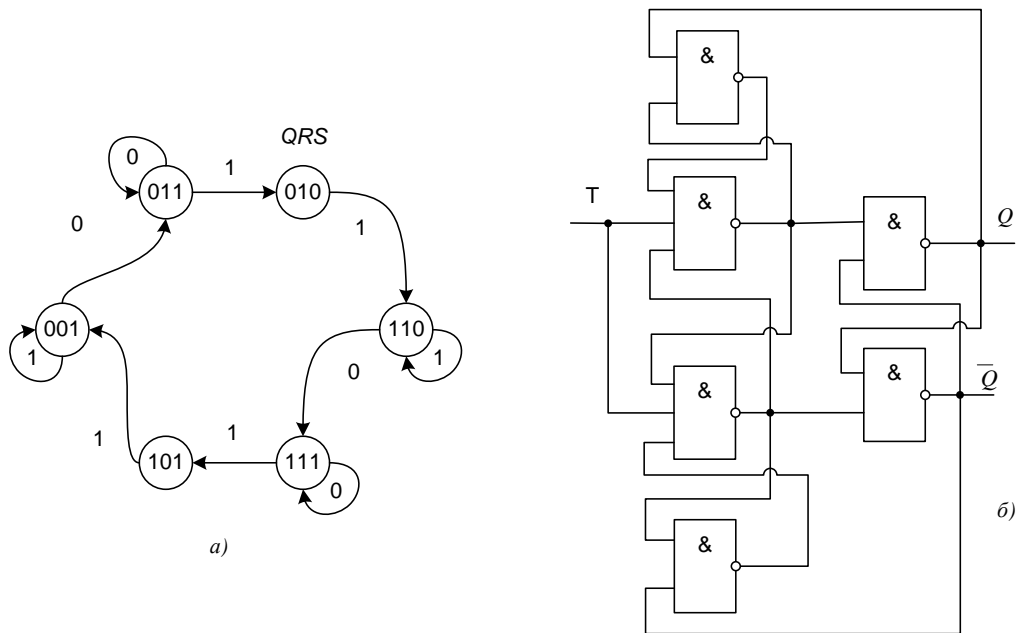


Рисунок 4.27 – Карти Карно двоступеневого T-тригера

У тригерах із динамічним управлінням стійкість роботи забезпечується тим, що процес зміни вхідного сигналу  $T$  запам'ятовується на кожному вході основного RS-тригера. Граф такого T-тригера та варіант симетричної схеми наведено на рис. 4.28.



а – граф роботи; б – симетрична схема  
Рисунок 4.28 – Синтез двоступеневого T-тригера

*D-тригери.* Синхронний *D*-тригер (рис. 4.29) має два входи:

- даних *D*;
- синхронізації *C*.

Такий тригер переходить у стан, що вказується сигналом на вході *D*, тільки із появою перемикаючого сигналу на вході *C*.

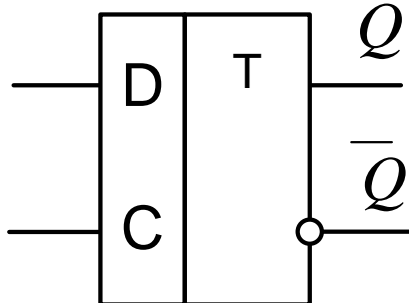
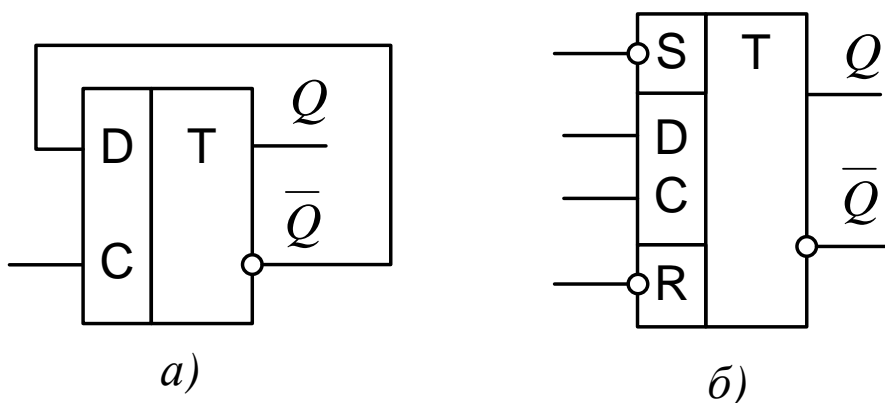


Рисунок 4.29 – Умовне зображення *D*-тригеру

*D*-тригер здійснює затримку сигналу на вході *D* до появи сигналу на вході *C*, оскільки його вихідний сигнал  $Q^n$  повторює значення сигналу *D* на попередньому такті ( $D^{n-1}$ ) та зберігає цей стан до наступного такту. Таким чином, *D*-тригер здійснює затримку на один такт сигналу. *D*-тригер часто називають тригером затримки (від англійського слова “*DELAY*” – затримка). У результаті порівняння таблиць переключення *D*-тригера (табл. 4.17) та *T*-тригера (табл. 4.16), можна зробити висновок: якщо стан  $T = C$  та  $D = Q$  (рис. 4.30а), то *D*-тригер буде функціонувати як *T*-тригер.



*а* – *T*-тригер; *б* – *DRS*-тригер

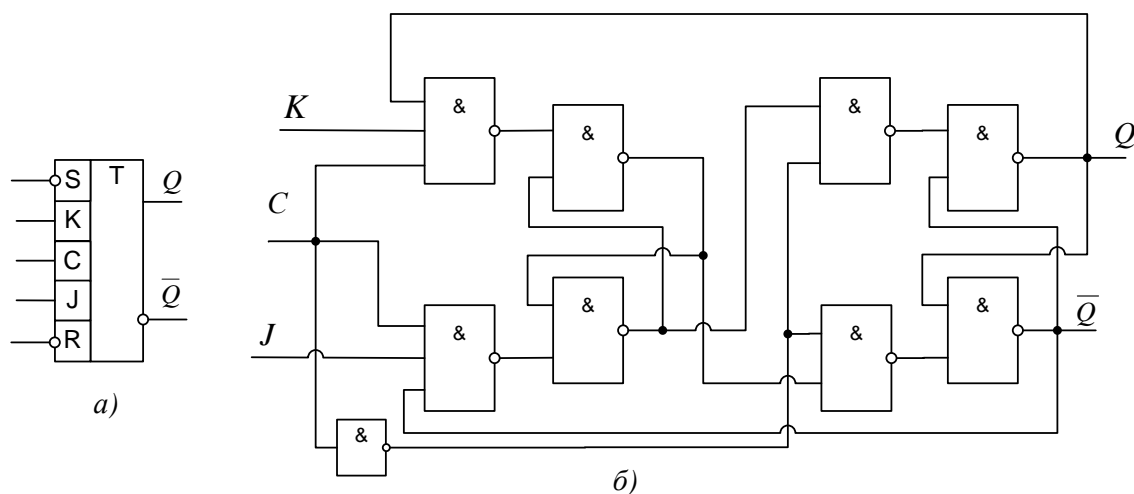
Рисунок 4.30 – Варіанти *D*-тригерів

Таблиця 4.17 – Таблиця переключень *D*-тригера

Такт $n$		Такт $n+1$	
$C$	$D^n$	$Q^n$	$Q^{n+1}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Якщо доповнити *D*-тригер установчими *R* та *S* – входами, то маємо *DRS*-тригер (рис. 4.30б). Стан його визначається сигналами на установчих входах та при  $R^n = S^n = 1$  залежить від сигналів на входах *D* та *C*. Кодова комбінація  $S^n = R^n = 0$ , як і для *RS*- тригера, є забороненою. Модифікацією *D*-тригерів є *DV*-тригери із додатковим входом *V* (від слова “VALVE”), який грає роль дозволяючого по відношенню до входу. При  $V = 1$  тригер функціонує як *D*-тригер, а при  $V = 0$  він зберігає свій стан при будь-яких значеннях сигналів на входах *D* та *C*. Тим самим наявність входу *V* дозволяє в необхідні моменти часу зберігати інформацію на виходах протягом заданого числа тактів, що розширює функціональні можливості пристрою.

*JK*-тригери. Ці тригери (рис. 4.31а) є універсальними синхронними тригерами, в яких входи *J* та *K* відповідають входам *S* та *R* як у *RS*-тригері. Однак, на відміну від *RS*-тригеру набір  $J^n = K^n = 1$  вважається припустимим й приводить до зміни стану тригера ( $Q^n = \bar{Q}^{n-1}$ ). Оскільки *JK*-тригери виконуються синхронними, їхні вихідні рівні встановлюються тільки при надходженні на вхід перемикаючих сигналів. Стани *JK*-тригера наведено в табл. 4.18.



а – умовне зображення; б – структурна схема  
Рисунок 4.31 – *JK*-тригер

Таблиця 4.18 – Стани JK-тригера

$J^n$	$K^n$	$Q^{n+1}$
0	0	$Q^n$
0	1	0
1	0	1
1	1	$\overline{Q^n}$

Складаючи карту Карно для  $Q^{n+1}$  (рис. 4.32), одержимо за її допомогою структурну формулу для вихідного сигналу тригера

$$Q^{n+1} = J^n \overline{Q^n} + K^n Q^n.$$

		$K$			
		0	1	1	0
$Q^n$	$J$	0	0	1	1
	0	0	1	1	0
	1	1	1	0	0

Рисунок 4.32 – Карта Карно JK-тригера

Це рівняння називається характеристичним рівнянням тригера та цілком описує його роботу. Приклад схеми JK-тригера, який має структуру T-тригера та побудовано за двоступеневою системою, наведено на рис. 4.31б.

Особливим з'єднанням виводів JK-тригер може бути переведено у режим роботи інших типів тригерів. Так, при  $J = K = 1$  та при наявності відповідного сигналу на вході  $C$  він виконує функції T-тригера, а при  $J = 0$  функції D-тригера. У деяких JK-тригерів для розширення їхніх функціональних можливостей введені асинхронні установчі входи ( $R, S$ ), що діють незалежно від входу  $C$ .

Найпростіші тригерні схеми, які реалізовані у вигляді мікросхем [3, 4], дозволяють проектувати різноманітні цифрові пристрої систем керування. Зокрема, на їхній основі будуються лічильники та регістри. Зростаюча складність цифрових схем робить практично неможливим інтуїтивний підхід при синтезі та змушує використовувати формалізовані узагальнені методи [1].

Розглянемо синтез тригерних схем як найпростіших цифрових ПП на прикладі D-тригера. Вихідними даними для синтезу є таблиця зовнішніх переходів (залежність вихідних сигналів від вхідних) та необхідні властивості проектованої тригерної схеми. Метою синтезу є пошук рівняння виходу та системи рівнянь переходів. Таблиця зовнішніх переходів не цілком



описує роботу тригеру. Необхідно додатково визначити переходи тригера із одного внутрішнього стану в інший.

Оскільки на першому етапі проектування число внутрішніх змінних ( $Q$ ) невідоме, то спочатку складають так звану первісну таблицю переходів та виходів, яка містить можливе число внутрішніх стійких станів. Кількість стовпців первісної таблиці обов'язково дорівнює числу різних станів входів тригерів. Для  $D$ -тригеру, який має два входи  $C$  та  $D$ , потрібно чотири стовпця. Число рядків первісної таблиці можна визначити, якщо кожному можливому стану входів та виходів тригера зіставити один стійкий внутрішній стан. Для  $D$ -тригера, таблиця буде містити 8 рядків.

Кожен стійкий внутрішній стан нумерують. Значення виходу  $Z$  записують в окремому стовпці табл. 4.19. Таким чином, кожен стовпець табл. 4.19 визначає стан вхідних змінних, а кожен рядок – стан внутрішніх змінних. Повний стійкий стан тригера буде умовно визначатися перетинанням рядка і стовпця таблиці. Цей стан записується цифрою в круглих дужках. У кожному рядку первісної таблиці вказується лише один стійкий стан.

Таблиця 4.19

Внутрішній	Стани				Вихідний
	Вхідні				
	00	01	11	10	
1	(1)	2	$x$	4	0
2	1	(2)	3	$x$	0
3	$x$	6	(3)	4	0
4	1	$x$	3	(4)	0
5	(5)	6	$x$	8	1
6	5	(6)	7	$x$	1
7	$x$	6	(7)	8	1
8	1	$x$	7	(8)	1

Наступним кроком заповнення первісної таблиці є запис переходів тригера із одного стійкого стану в інший на підставі таблиці зовнішніх переходів та необхідних властивостей тригера. Помітимо, що проєктований  $D$ -тригер переключається за спадом логічної 1 на вході  $C$ .

Перехід із одного стійкого стану в інший можливий тільки при зміні значень вхідних змінних, яка виражається зміною стовпця в таблиці переходів. Для того щоб в останній відобразити перехід тригера із одного стійкого стану в інший, необхідно на перетинанні рядка, який визначає попередній стан тригера, зі стовпцем таблиці, який визначає нове значення вхідних змінних. Потім записати номер того внутрішнього стійкого стану, у який перейде тригер відповідно до вихідних даних. Цей номер не беруть у дужки, тому що він відповідає нестійкому стану тригера. Тут можливе тільки горизонтальне й вертикальне зміщення. Горизонтальне зміщення визначається зміною значень вхідних змінних тригерної схеми. Вертикальне зміщення відбувається мимоволі внаслідок зміни значень внутрішніх змінних.

Через нестійкий стан тригер проходить у тому випадку, коли змінився стан вхідних сигналів, а виходи блоків пам'яті через наявні в них затримки ще не змінили свого стану. Після закінчення часу затримки пристрій мимоволі переходить у новий стійкий стан.

Розглянемо запис переходів. Припустимо, що  $C = D = 1, Z = 0$ . Ця комбінація відповідає повному стану (3) у табл. 4.19. Припустимо, що вхідна змінна  $C$  змінила своє значення на логічний 0, тобто  $CD = 01$ . Оскільки перемикаючим сигналом  $C$  є зміна  $1 \rightarrow 0$ , то відповідно до таблиці зовнішніх переходів  $D$ -триггер повинен змінити свій вихідний стан. Новим стійким станом буде стан (6), яки відповідає  $C = 0, D = 1, Z = 1$ . Щоб позначити цей перехід у табл. 4.19, необхідно на перетинанні третього рядка й стовпця  $CD = 01$  записати цифру 6 без дужок. Якщо ж перехід із внутрішнього стану (3) здійснюється заміною змінної  $D$ , тобто  $CD = 10$ , то новим стійким станом буде стан (4), оскільки на вході  $C$  стан не змінився. Так на етапі заповнення первісної таблиці переходів враховують асинхронне поведення синхронного тригера, тобто його тип [1]. Нарешті, перехід від стійкого стану (3), при одночасній зміні змінних  $C$  та  $D$ , заборонено, оскільки в цьому випадку фізично неможливо забезпечити однозначність операцій.

Таким чином, залежно від порядку зміни вхідних сигналів тригер може виявитися в стані 1 чи 0. У таблиці заборонені переходи будемо позначати символом ( $x$ ). Аналогічно заповнюють усю табл. 4.19 й переходять до табл. 4.20. Очевидно, що при складанні таблиць усі основні властивості пристрою, які сформульовано словесно, виражаються у вигляді первісної таблиці переходів.

Таблиця 4.20

Стани					
Внутрішній	Вхідні $CD$				Вихідний
	00	01	11	10	
1,2,4	(1)	(2)	3	(4)	0
3		6	(3)	4	0
5,6,7	(5)	(6)	(7)	8	1
8	1		7	(8)	1

Складність логічної структури тригера залежить від числа внутрішніх змінних, тому доцільно мінімізувати число внутрішніх станів, яке дорівнює числу рядків первісної таблиці переходів. Під мінімізацією числа внутрішніх станів ПП мають на увазі процес, метою якого є одержання ПП. У цьому випадку ПП має мінімальне число внутрішніх станів серед усіх, які реалізують задані умови його роботи. Процес сполучення рядків таблиці переходів називають об'єднанням та виконують його відповідно до правил [1]:

1) два рядки (чи більше) можуть бути об'єднані, якщо у відповідних стовпцях номери станів однакові чи на одному із рядків є заборонений стан;

2) результуючий стан треба взяти у дужки, якщо один із поєднаних номерів у дужках, а інший без них. Якщо ж деякі рядки містять цифри, а інші символ (x), то в об'єднаному рядку повинна стояти цифра.

Розглянемо перший та четвертий рядки табл. 4.19. Їхнє об'єднання відповідно до даних правил дає новий рядок вигляду: (1); (2); (4). Перехід від стану (4) до (1) у новому об'єднаному рядку здійснюється зміною тільки вхідної змінної  $C$  без зміни внутрішнього стану.

У другому варіанті (табл. 4.21) на відміну від першого переходи із одного рядка в інший здійснюються при заміні змінної  $C$  разом зі зміною логічної змінної  $D$ . При проектуванні двоступеневих тригерів доцільно використовувати об'єднання рядків первісної таблиці, що призводить до табл. 3.20, а при побудови тригерів із динамічним управлінням (табл. 4.21).

Таблиця 4.21

Внутрішній	Стани				Вихідний
	Вхідні $CD$				
	00	01	11	10	
1,2	(1)	(2)	3	4	0
3,4	1	6	(3)	(4)	0
6,6	(5)	(6)	7	8	1
7,8	1	6	(7)	(8)	1

Слід зазначити, що хоча число внутрішніх станів ПП визначає кількість елементів пам'яті, скорочення числа внутрішніх станів ПП не завжди призводить до зменшення кількості елементів пам'яті. Але навіть і в цьому випадку доцільно робити мінімізацію числа внутрішніх станів, щоб не збільшувати число не використовуваних станів та не ускладнювати структуру логічного перетворювача.

## 4.6 Регістри

Основна функція регістра полягає в збереженні багаторозрядного двійкового числа. Регістри мають регулярну структуру й складаються із однакових частин. Кожна із таких частин призначено для збереження одного розряду двійкового числа. Розряд регістра містить елемент пам'яті, які виконано на тригері. Регістр може працювати в режимах запису, збереження та зчитування чисел. У режимі запису в регістр вводиться двійкове число. У режимі збереження записане число залишається без зміни, а при зчитуванні – число передається із регістра в інші пристрої.

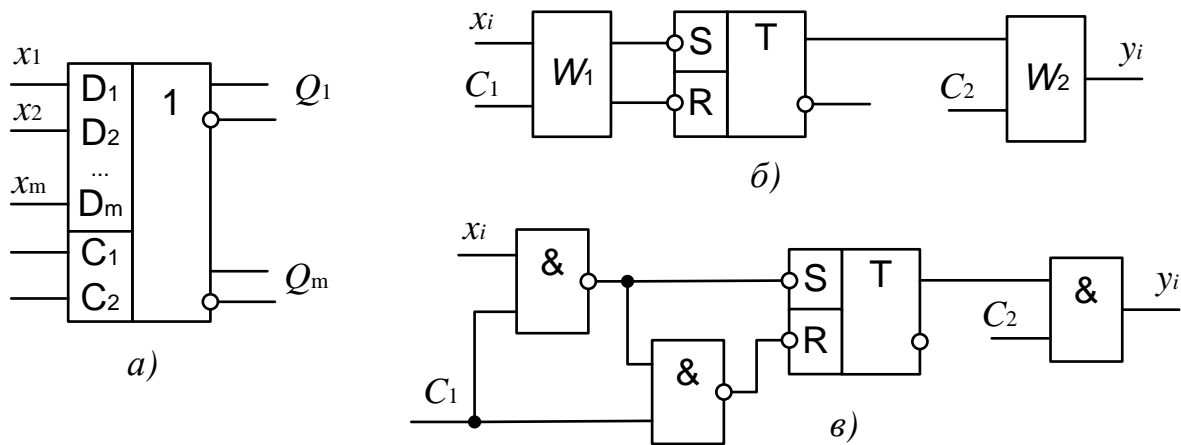
*За способами організації запису й зчитування чисел розрізняють наступні типи регістрів:*

- паралельні: запис та зчитування у всіх розрядів здійснюються одночасно;

- послідовні (регістри зрушення): запис та зчитування даних здійснюється розрядами послідовно;
- паралельно-послідовні: запис здійснюється паралельно, а зчитування послідовно;
- послідовно-паралельні: на відміну від попереднього типу запис робиться послідовно, а зчитування паралельно;
- реверсивні регістри зсуву: напрямком зсуву чисел у них може бути змінений залежно від значень управляючих сигналів.

За допомогою регістрів реалізують перетворення послідовного двійкового коду в паралельний та навпаки, одержують часову затримку цифрових сигналів і виконують арифметичні та логічні операції із багато розрядними числами. Розглянемо основні принципи побудови регістрів.

Структура паралельного регістру (рис. 4.33а) являє собою сукупність однотипних осередків (рис. 4.33б).



а – умовне позначення; б – структура осередку; в – принципова схема  
Рисунок 4.33 – Регістр паралельного типу

Ці осердя містять тригер та схеми управління записом  $W_1$  й зчитуванням  $W_2$ . Кожен осередок має інформаційний вхід ( $X_i$ ). Входи управління записом ( $C_1$ ) та зчитуванням ( $C_2$ ) є загальними для всіх осередків. *Правило роботи для тригера в  $j$ -му осередку формулюється наступним чином:*

- якщо  $C_1^n = 1, C_2^n = 0$ , то  $Q_i^n = X_j^n; Y_j^n = 0$ ;
- при  $C_1^n = C_2^n = 0$ ,  $Q_j^n = Q_j^{n-1}; Y_j^n = 0$ , тобто здійснюється режим збереження числа;
- у випадку, коли  $C_1^n = 0, C_2^n = 1$ , тригер ( $Q_j^n = Q_j^{n-1}$ ) не переключиться і вхідний сигнал проходить на вихід  $Y_j^n = Q_j^n$ ;
- комбінація  $C_1^n = C_2^n = 1$  вважається забороненою.

Обравши елементом пам'яті  $RS$ -тригер та склавши таблицю істинності для вихідної функції  $Y_j^n$  й функцій зрушення тригера (табл. 4.22), одержимо структурні формули роботи осердя

$$y_i^n = C_2^n \cdot Q_i^n = \overline{\overline{C_2^n}} \cdot \overline{\overline{Q_i^n}};$$

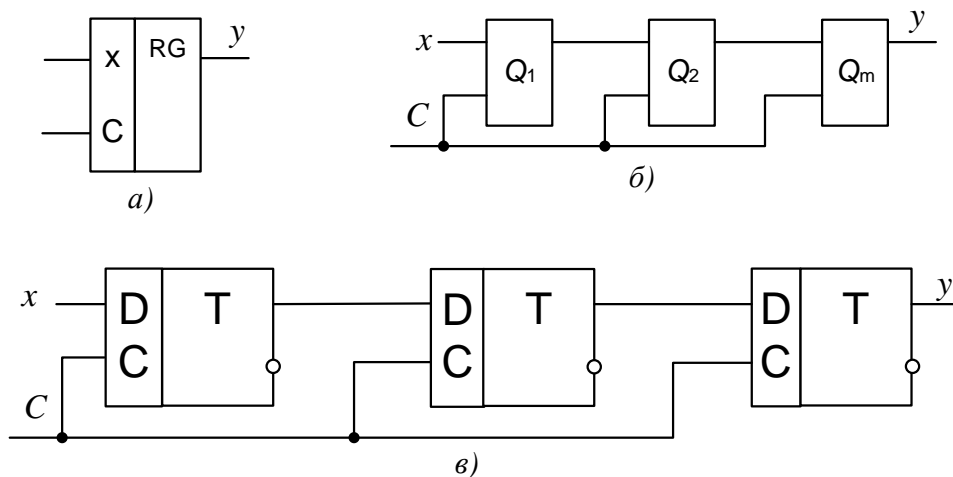
$$S = x_i \cdot C_1;$$

$$R = \overline{x_i \cdot C_1 + C_1 \cdot \overline{C_1}} = \overline{C_1 \cdot (x_i + \overline{C_1})} = \overline{\overline{C_1} \cdot x_i \cdot C_1} = \overline{\overline{C_1} \cdot S}.$$

Таблиця 4.22

$C_2$	$Q_i$	$y_i$		$C_1$	$x_i$	$R$	$S$
0	0	0		0	0	1	1
0	1	0		0	1	1	1
1	0	0		1	0	0	1
1	1	1		1	1	1	0

Відповідно до цих формул схема одного розряду регістра має вигляд, який зображено на рис. 4.34в.



а – умовне позначення; б – структурна схема; в – принципова схема  
Рисунок 4.34 – Регістр послідовного зсуву

Послідовний регістр зсуву має інформаційний та тактовий входи, які забезпечують запис числа та зсув його по регістрі. Структура регістра (рис. 4.34б) являє собою послідовне з'єднання однотипних осередків. *Правило роботи для j-го розряду можна записати у такому вигляді:*

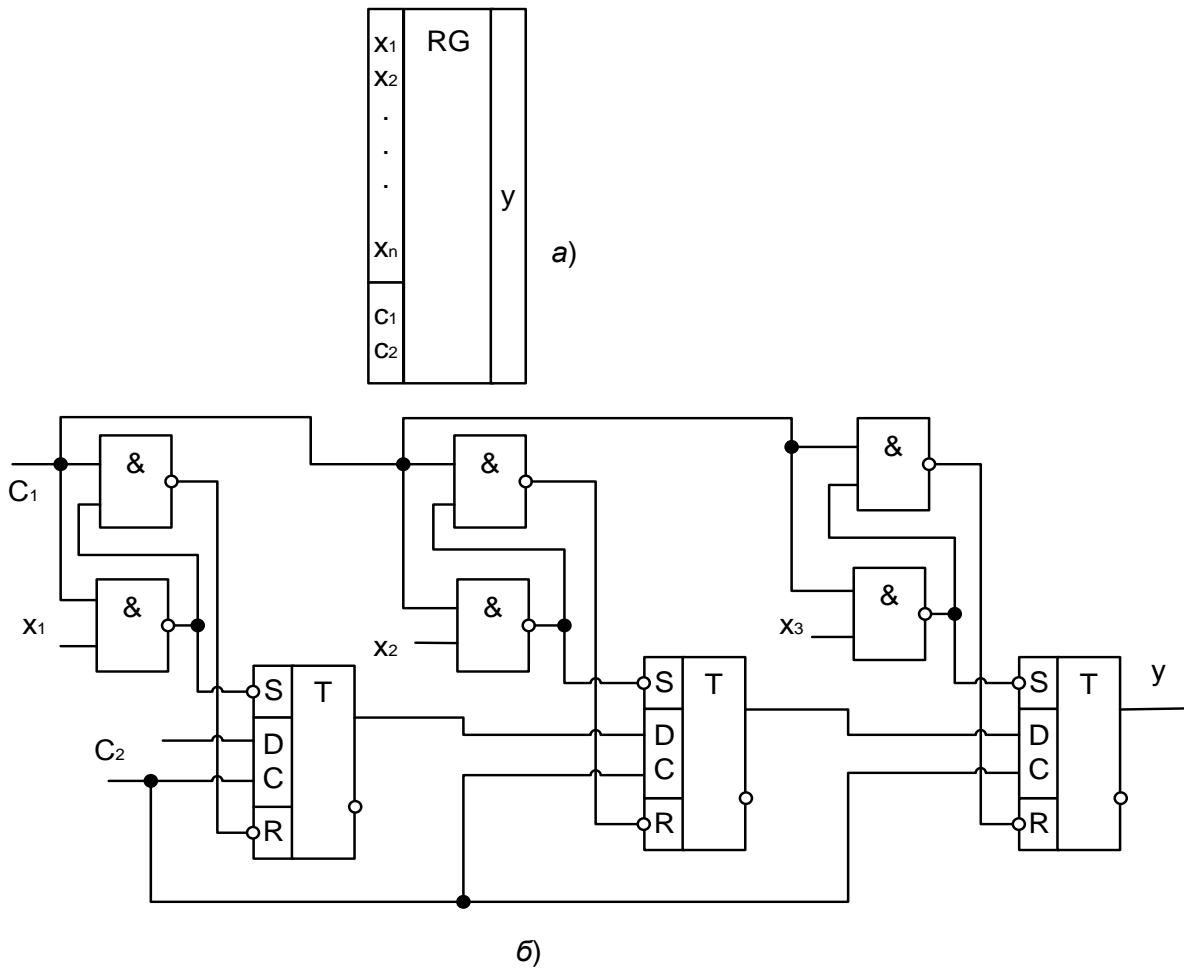
- якщо  $C^n = 0$ , то  $Q_{j-1}^n = Q_{j-1}^{n-1}$ ;
- при  $C^n = 1$   $Q_j^n = Q_{j-1}^{n-1}$ .

Такий запис збігається із правилом роботи D-тригера, на вхід якого надходить сигнал  $Q_{j-1}$ . Отже, для побудови регістра зсуву можна використати D-тригери або JK-тригери, які працюють у режимі D-тригера. Відповідна схема регістра дана на рис. 4.34в.

*Правила роботи для паралельно-послідовного регістру такі:*

- при  $C_1=1$  та  $C_2=1$  виконується запис інформації у всі розряди регістру;
- при  $C_1=0$  та  $C_2=1$  виконуються зсуви інформації.

Застосуємо у якості елементу пам'яті  $D$ -тригер. Входи  $R$  та  $S$  використано для паралельного запису інформації, входи  $D$  та  $C$  використано для організації послідовних зсувів чисел. Схема паралельно-послідовного регістра наведена на рис. 4.35.

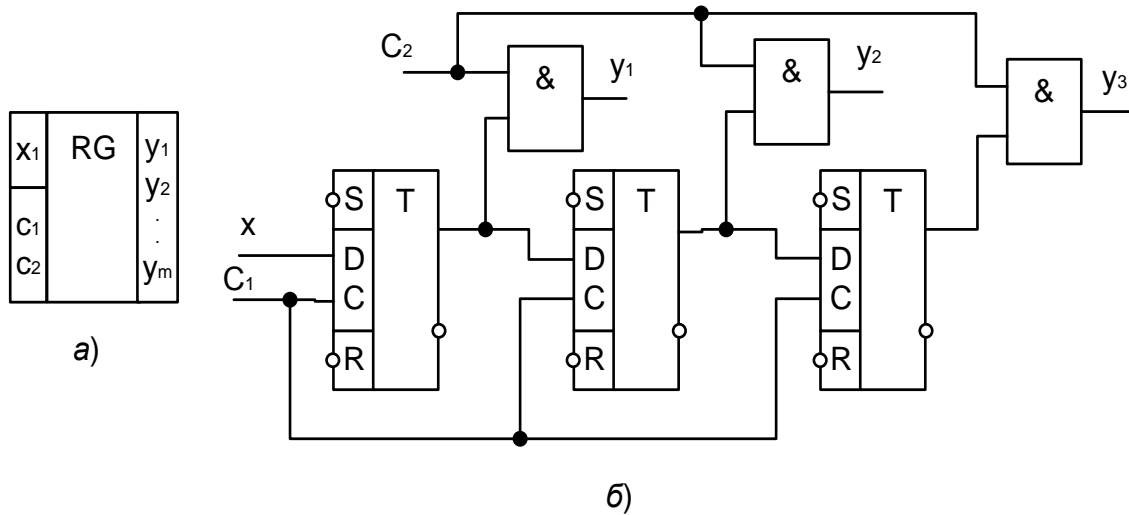


*а – умовне позначення; б – принципова схема  
Рисунок 4.35 – Регістр паралельно-послідовний*

Послідовно-паралельний регістр має вхід для послідовного вводу даних по управляючому сигналу  $C_1$  та  $m$ -виходів, на яких з'являються двійкові числа при наявності управляючого сигналу  $C_2$ . *Правила роботи послідовно-паралельного регістра такі:*

- при  $C_1=1$  та  $C_2=0$  виконуються зсуви даних;
- при  $C_1=0$  та  $C_2=1$  виконуються вивід інформації із усіх розрядів регістру.

Якщо послідовний регістр на  $D$ -тригерах забезпечити схемами управління зчитуванням інформації, то отримаємо принципову схему послідовно-паралельного регістру (рис. 4.36). Його схема управління зчитуванням інформації аналогічна як у паралельного регістру. Основна функція послідовно-паралельного регістру у системах керування параметрами технологічних процесів це перетворення послідовного коду у паралельний.



*а – умовне позначення; б – принципова схема  
Рисунок 4.36 – Регістр послідовно-паралельний*

Реверсивний послідовний регістр являє собою регістр зсуву, у якого напрям зсувів інформації визначається управляючим сигналом на вході  $C_1$ . Зсуви інформації у регістрі виконуються по сигналу  $C_2$ . Реверсивний регістр можна організувати на  $D$ -тригерах. При зсуві інформації праворуч схеми комутації забезпечують передачу стану попереднього тригера на вхід послідуєчого. При зсуві інформації ліворуч схеми комутації забезпечують передачу стану послідуєчого тригера на вхід попереднього. *Правила роботи реверсивного регістру такі:*

- при  $C_1=1$  та  $C_2=1$  виконуються зсуви даних праворуч;
- при  $C_1=0$  та  $C_2=1$  виконуються зсуви даних ліворуч;

На підставі словесного опису роботи реверсивного регістру будемо таблицю істинності (табл. 4.23).

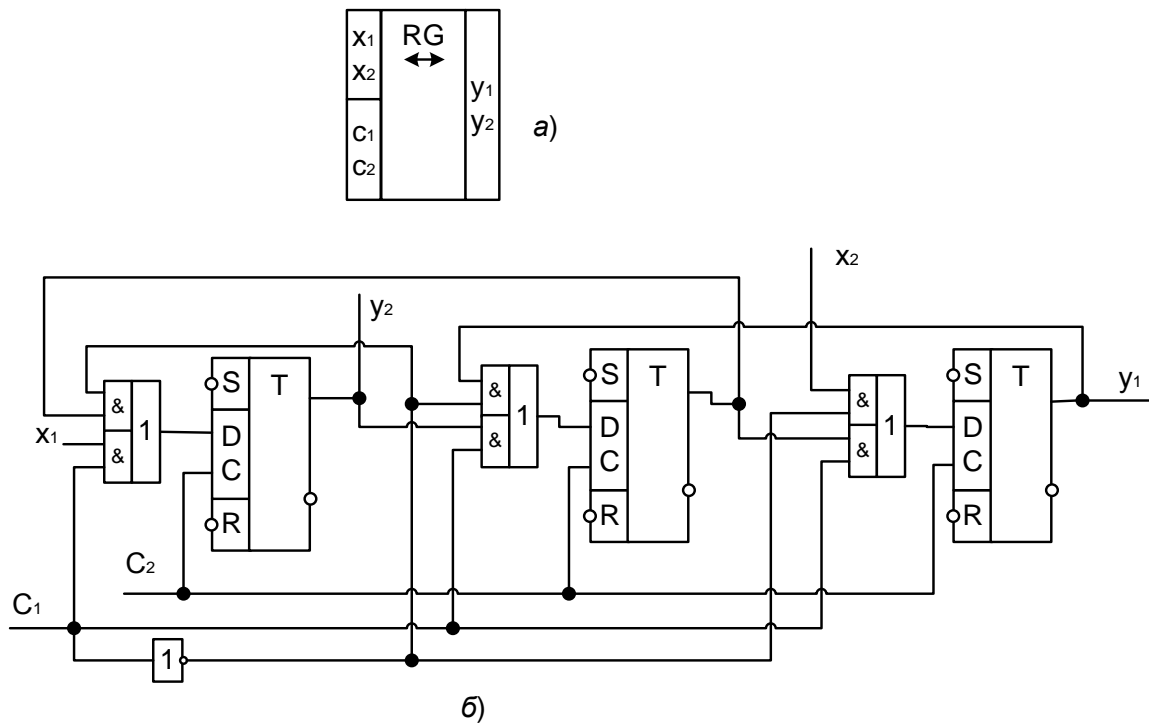
*Таблиця 4.23 – Таблиця істинності реверсивного регістру*

$C_1$	$Q_{i-1}$	$Q_{i+1}$	$D_i$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Рівняння алгебри логіки схеми управління реверсивним регістром має такий вигляд

$$D_i = \overline{C_1} \overline{Q_{i-1}} Q_{i+1} + \overline{C_1} Q_{i+1} Q_{i-1} + C_1 \overline{Q_{i+1}} Q_{i-1} + C_1 Q_{i-1} Q_{i+1} = \overline{C_1} Q_{i+1} + C_1 Q_{i-1}.$$

Мінімізація рівняння виконано за допомогою методу Квайна. На підставі цього рівняння будуємо принципову схему реверсивного регістру. Ця схема наведена на рис. 4.37.



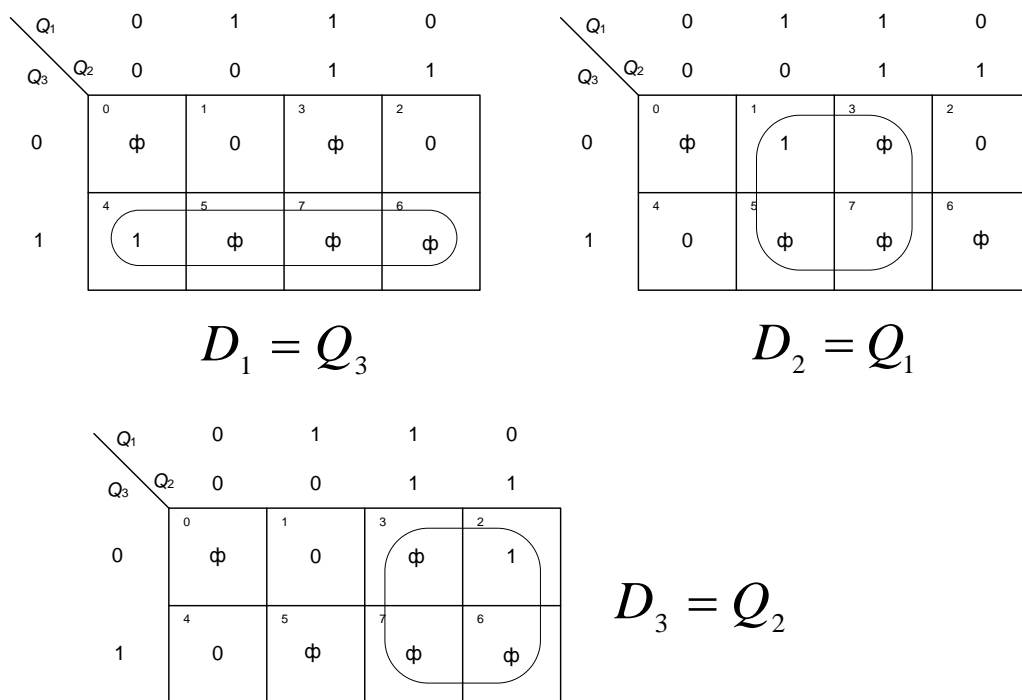
*а – умовне позначення; б – принципова схема  
Рисунок 4.37 – Реверсивний регістр*

**Приклад 4.4** Спроектувати трьохрозрядний кільцевий регістр зсуву на *D*-тригерах. Складаємо таблицю станів та переходів тригерів (табл. 4.24). На підставі таблиці переходів складаємо карти Карно для *D*-входів кожного тригера (рис. 4.38). Відповідно до отриманих рівнянь проектуємо електричну принципову схему кільцевого регістру зсуву (рис. 4.39).

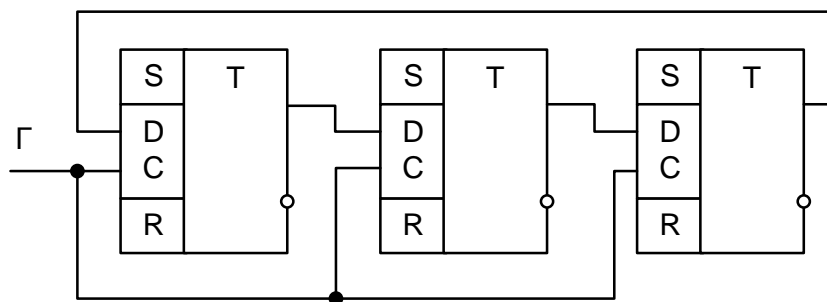
*Таблиця 4.24 – Таблиця станів та переходів тригерів*

$Q_n$			$Q_{n+1}$		
3	2	1	3	2	1
φ	φ	φ	φ	φ	φ
0	0	1	0	1	0
0	1	0	1	0	0
φ	φ	φ	φ	φ	φ
1	0	0	0	0	1
φ	φ	φ	φ	φ	φ
φ	φ	φ	φ	φ	φ
φ	φ	φ	φ	φ	φ





*Рисунок 4.38 – Карти Карно*



*Рисунок 4.39 – Принципова схема кільцевого регістру зсуву на D-тригерах*

### 4.7 Лічильники імпульсів

*Лічильником* називається ПП, який послідовно змінює свій стан у визначеному для даної схеми порядку, повертаючись до початку циклу після кожних  $K$  вхідних сигналів. Значення  $K$ , яке відповідає числу станів лічильника, є модулем чи коефіцієнтом перерахування лічильника. Розглянемо лічильники на основі тригерів. Код числа, яке записане в тригери лічильника, може бути представлено у наступному вигляді

$$Q = Q_m \cdot Q_{m-1} \cdot \dots \cdot Q_2 \cdot Q_1,$$

де  $Q_i$  – стан  $i$ -го тригера,  $i = 1, 2, \dots, m$ .

Один із можливих станів лічильника приймається за початковий –  $Q^0$ . Запис  $Q^m$  відповідає стану лічильника після надходження на його вхід  $m$ -го вхідного сигналу. Якщо порядок зміни станів тригерів відповідає послідовності двійкових чисел, то кількість станів лічильника відповідно дорівнює  $K=2^m$ . Такі лічильники називають *двійковими*. У загальному випадку ( $K=a^m$ ) пристрій називають лічильником за модулем числа  $a$ .

Розглянемо *двійкові лічильники із послідовним переносом*. У таких лічильниках вхідний сигнал впливає тільки на перший тригер, який виробляє перемикаючий сигнал для наступного. Перевагою цих лічильників є простота побудови схеми й можливість нарощування їхньої розрядності. У підсумовуючому лічильнику із послідовним переносом кожен вхідний імпульс збільшує значення двійкового числа, яке записано в лічильник, на одиницю. Правило роботи підсумовуючого, наприклад, трирозрядного лічильника може бути подано у вигляді таблиці переключень лічильника (табл. 4.25).

Таблиця 4.25 – Таблиця переключень

$Q^n$			$n$
$Q_3^n$	$Q_2^n$	$Q_1^n$	
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

Використовуючи таблицю перемикань, можна визначити необхідний тип першого тригера, орієнтуючись на  $Q_1$ , після чого варто виявити спосіб з'єднання тригерів. Очевидно, що першим у схемі повинен бути  $T$ -тригер, тому що він перемикається кожним вхідним сигналом. Оскільки із табл. 4.25 випливає, що другий тригер змінює свій стан, коли перший тригер переходить у рівень 0, то необхідно подати сигнал перемикання на вхід другого тригера з інверсного виходу першого. Аналогічні умови роботи будуть у третього тригера. Схема такого лічильника наведена на рис. 4.40.

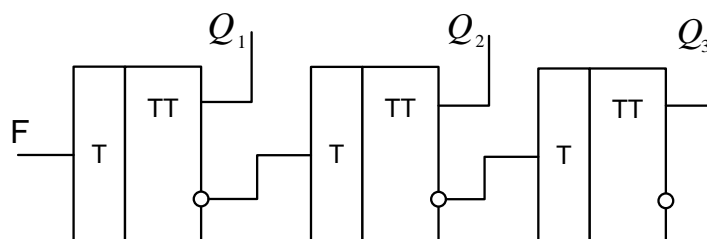


Рисунок 4.40 – Схема підсумовуючого лічильника імпульсів

У віднімаючого лічильника із кожним вхідним імпульсом значення двійкового числа, яке записано в ньому, зменшується. Правила роботи віднімаючого лічильника мають наступний вигляд

$$Q^n = Q^{n-1} - 1, \text{ якщо } Q^{n-1} \neq 0;$$

$$Q^n = 2^m - 1, \text{ якщо } Q^{n-1} = 0.$$

Склавши таблицю перемикачів (табл. 4.26), можна тим же способом визначити принципову схему віднімаючого лічильника (рис. 4.41).

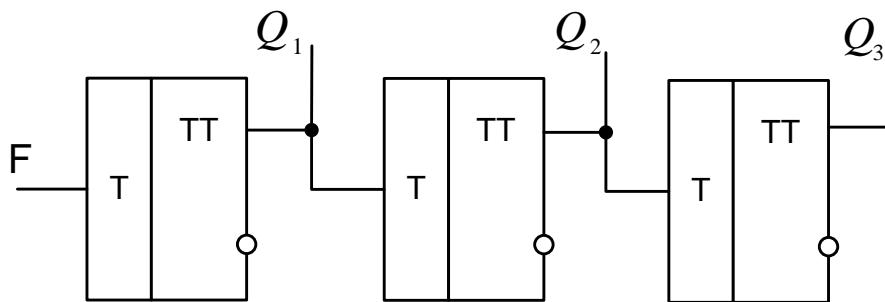


Рисунок 4.41 – Схема організації віднімаючого лічильника

Реверсивний лічильник може працювати як підсумовуючий так і віднімаючий. Вибір режиму роботи здійснюється за допомогою управляючого сигналу, який надходить на вхід  $F$  лічильника. Для організації реверсивного лічильника скористаємось послідовним з'єднанням  $T$ -тригерів, доповнивши елементами комутації. Елемент комутації повинен сформувати такі сигнали:

- у режимі підсумовування  $T_i = \overline{Q_{i-1}}$ ;
- у режимі віднімання  $T_i = Q_{i-1}$ .

Варто врахувати, що сигнал на вході  $F$  може змінюватися тільки при вхідному сигналі лічильника  $X = 0$ . Складена за словесним описом таблиця істинності для вхідного сигналу  $i$ -го тригера (табл. 4.27) дозволяє записати для  $T_i$  таку структурну формулу

$$T_i = X\overline{F}Q_{i-1} + XFQ_{i-1} = \overline{\overline{X\overline{F}Q_{i-1} + XFQ_{i-1}}}$$

і розробити електричну принципову схему елемента комутації, яку наведено на рис. 4.42.

Таблиця 4.26

Q <sup>n</sup>			n
Q <sub>3</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	
0	0	0	0
1	1	1	1
1	1	0	2
1	0	1	3
1	0	0	4
0	1	1	5
0	1	0	6
0	0	1	7

Таблиця 4.27

x	F	Q	T
0	0	0	0
0	0	1	0
0	0	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

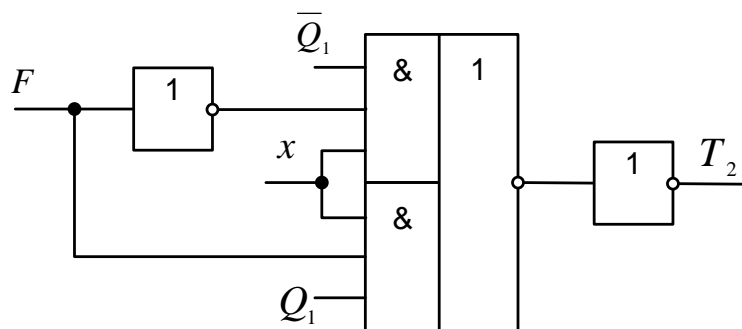


Рисунок 4.42 – Схема організації управління реверсивним лічильником

Недоліком лічильників із послідовним переносом є мала швидкодія, що обумовлено послідовним спрацьовуванням тригерів. Означеного недоліку не має у лічильників із паралельним переносом. У таких лічильниках вхідний сигнал впливає на всі тригери одночасно та кожен попередній тригер виробляє управляючі сигнали для всіх наступуючих.

Розглянемо принцип побудови підсумовуючого лічильника із паралельним переносом на *JK*-тригерах. Для переведу *JK*-тригера до рахункового режиму роботи потрібно виконати такі умови:  $j=k=1$ . Тому рівняння алгебри логіки першого тригера наступні:  $j_1=k_1=1$ . Оскільки, кожен попередній тригер формує управляючі сигнали на наступуючих, то рівняння алгебри логіки для другого, третього та четвертого тригерів такі

$$j_2 = k_2 = Q_1, \quad j_3 = k_3 = Q_1 Q_2, \quad j_4 = k_4 = Q_1 Q_2 Q_3.$$

На підставі цих рівнянь будуюмо електричну принципову схему лічильника із паралельним переносом (рис. 4.43).

При побудові лічильників із довільним коефіцієнтом переліку застосовується метод виключення зайвих станів у двійкових лічильниках. Для побудови лічильника із коефіцієнтом переліку  $k < 2^n$  використовується лічильник із коефіцієнтом переліку  $2^n$ .

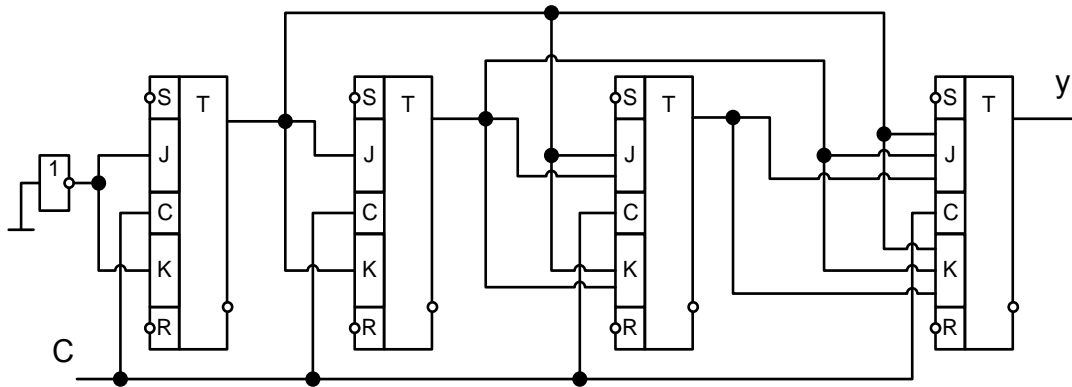


Рисунок 4.43 – Лічильник із паралельним переносом

Визначаємо кількість зайвих станів лічильника таким чином:  $l=2^n-k$ . Їхнє виключення виконуємо за допомогою схем управління на ЛЕ. Ці схеми доповнюють принципову схему лічильника. В залежності від обраного способу організації лічильника можна запропонувати п'ять варіантів реалізації схеми. Чотири варіанти реалізуються двійковим лічильником зі зворотнім зв'язком.

1. Логічна схема зворотного зв'язку фіксує стан лічильника ( $k-1$ ), який визначає кінець рахування. Вихідний сигнал цієї схеми переводить лічильник у початковий стан.

Розробку лічильника із довільним коефіцієнтом переліку розглянемо на конкретному прикладі  $k=6$ . Визначаємо кількість тригерів, яка потрібна для побудови принципової схеми лічильника

$$n = \log_2 k \approx 3.$$

Складаємо таблицю (табл. 4.28) переключень підсумовуючого лічильника, який будуюмо на  $JK$ -тригерах. В цій таблиці комбінацію переходу лічильника у початковий стан виділено. На підставі цієї комбінації складемо рівняння алгебри логіки схеми початкової установки лічильника

$$CB = \overline{Q_1}Q_2Q_3.$$

Таблиця 4.28

$k$	$Q_1$	$Q_2$	$Q_3$
0	0	0	0
1	1	0	0
2	0	1	0
3	1	1	0
4	0	0	1
5	1	0	1
6	0	1	1
7	1	1	1

Електрична принципова схема лічильника із коефіцієнтом переліку 6 наведена на рис. 4.44.

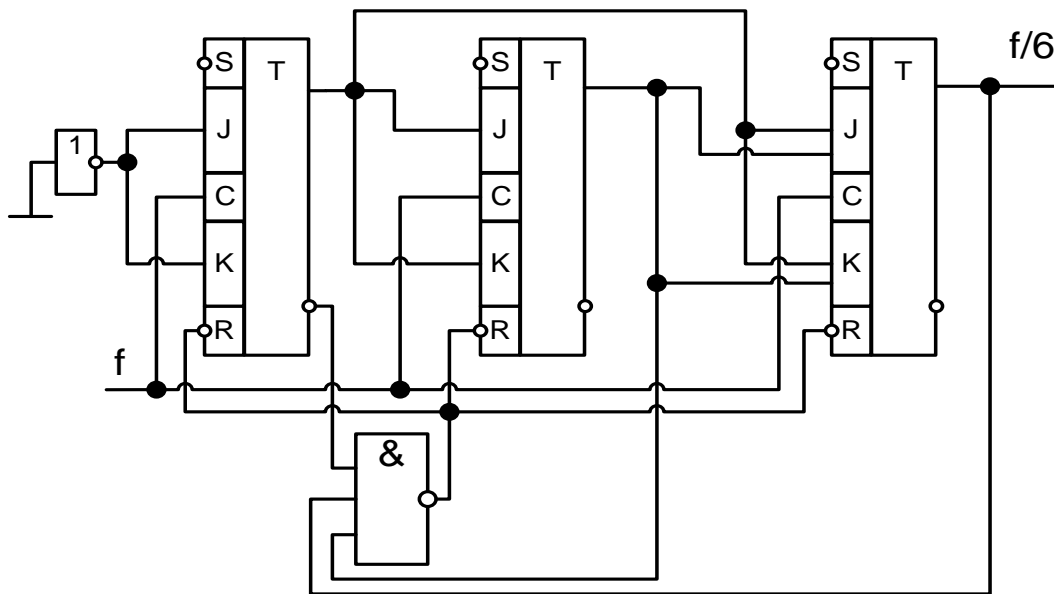


Рисунок 4.44 – Лічильник із коефіцієнтом переліку 6

2. У тригери двійкового лічильника завдяки зворотному зв'язку записується код, який відповідає кількості зайвих станів. Розробимо лічильник коефіцієнтом переліку  $k=6$ . Складаємо таблицю (табл. 4.29) переключень підсумовуючого лічильника, який будемо на  $JK$ -тригерах. В цій таблиці комбінацію початкового стану лічильника виділено. На підставі цієї комбінації складаємо рівняння алгебри логіки початкової установки

$$ПУ = \overline{Q_1} \overline{Q_2} \overline{Q_3}.$$

Для реалізації рівняння алгебри логіки достатньо вихід схеми початкової установки підключити до входу  $S_2$ . Електрична принципова схема лічильника із коефіцієнтом переліку 6 наведена на рис. 4.45.

Таблиця 4.29

$k$	$Q_1$	$Q_2$	$Q_3$
0	0	0	0
1	1	0	0
2	0	1	0
3	1	1	0
4	0	0	1
5	1	0	1
6	0	1	1
7	1	1	1

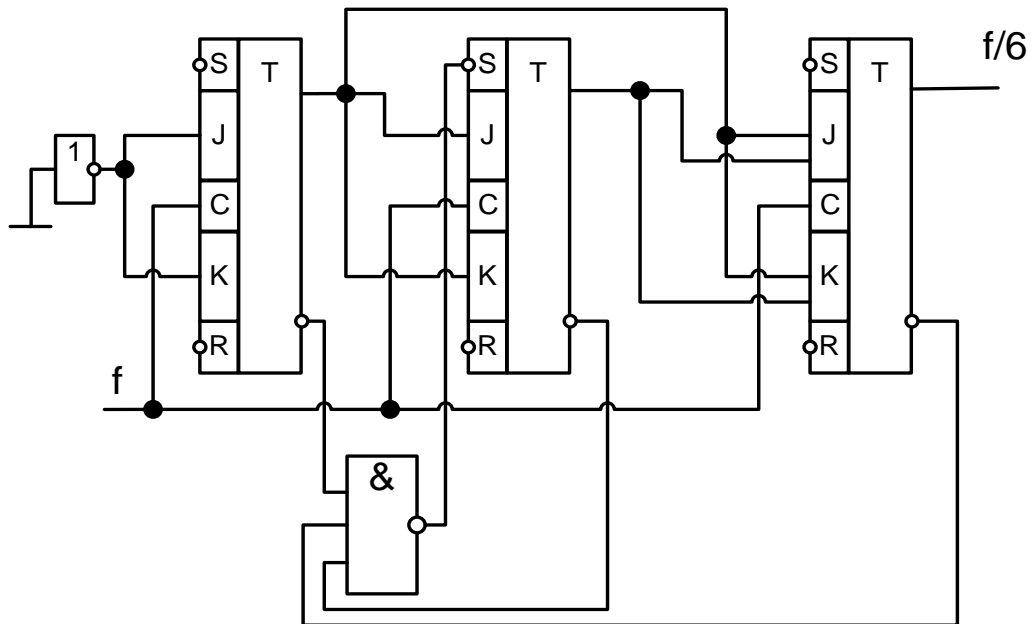


Рисунок 4.45 – Лічильник з коефіцієнтом переліку 6

3. Передбачає використання у якості сигналу для початкової установки тригерів деякої довільної кодової комбінації. Розробимо лічильник коефіцієнтом переліку  $k=6$ . Складаємо таблицю (табл. 4.30) переключень підсумовуючого лічильника, який будемо на  $JK$ -тригерах. В цій таблиці комбінації початкового стану лічильника та формування сигналу зворотного зв'язку виділено. Складаємо рівняння алгебри логіки для початкової установки лічильника та коду, на підставі якого формується сигнал зворотного зв'язку

$$ПУ = Q_1 \overline{Q_2} \overline{Q_3}, \quad СБ = Q_1 Q_2 Q_3.$$

Для реалізації рівняння алгебри логіки достатньо вихід схеми початкової установки підключити до входів  $R_2$  та  $R_3$ . Електрична принципова схема лічильника із коефіцієнтом переліку 6 наведена на рис. 4.46.

Таблиця 4.30

$k$	$Q_1$	$Q_2$	$Q_3$
0	0	0	0
1	1	0	0
2	0	1	0
3	1	1	0
4	0	0	1
5	1	0	1
6	0	1	1
7	1	1	1

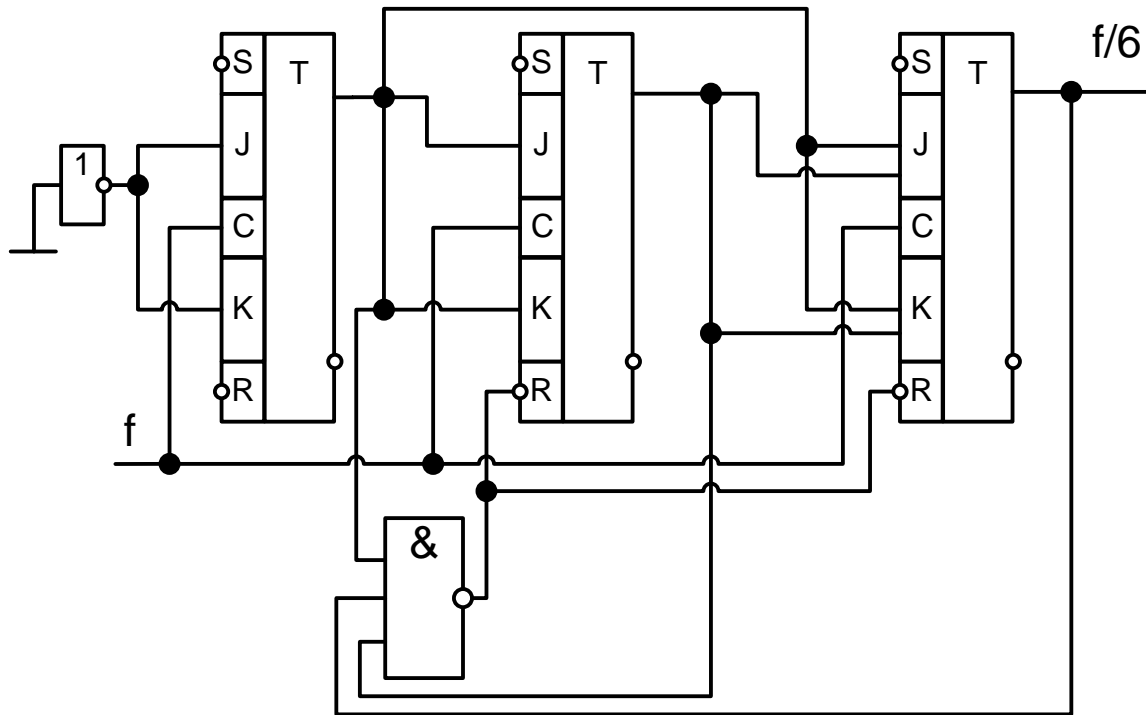


Рисунок 4.46 – Лічильник із коефіцієнтом переліку 6

4. Використання стандартної ІС К155ІЕ7, яка являє собою реверсивний лічильник зі схемою попередньої установки тригерів. Код  $l$  записується у тригери лічильника сигналом переносу. Цей сигнал подається на вхід попередньої установки  $V$ . Задати код  $l$  можна шляхом підключення деяких інформаційних входів лічильника  $D_0$ ,  $D_1$ ,  $D_2$  та  $D_3$  до нульової шини джерела живлення або за допомогою схеми на ЛЕ. Це дозволяє отримати коефіцієнт переліку лічильника у межах від 1 до 16, причому  $k=16-l$  у режимі підсумовування та  $k=l+1$  у режимі віднімання.

Спроекуємо лічильник із коефіцієнтом переліку 10 на базі ІС К155ІЕ7. Визначимо кількість станів лічильника, яку слід виключити,  $k=16-l=6$ . Числу 6 відповідає такий двійковий код 0110. У відповідності із цим стан інформаційних входів лічильника такий:  $D_0=0$ ,  $D_1=1$ ,  $D_2=1$  та  $D_3=0$ . Оскільки мікросхеми серії К155 мають таку властивість – на обірваному вході завжди присутня 1. Тому для завдання потрібного коду потрібно підключити інформаційні входи лічильника  $D_0$  та  $D_3$  до нульової шини джерела живлення. Електрична принципова схема лічильника із коефіцієнтом переліку 10 наведена на рис. 4.47.

5. Синтез лічильника імпульсів із довільним коефіцієнтом переліку. У результаті синтезу отримаємо рівняння алгебри логіки для схем на ЛЕ, які утворюють зворотні зв'язки між тригерами. Ці зворотні зв'язки обмежують кількість станів двійкового лічильника.



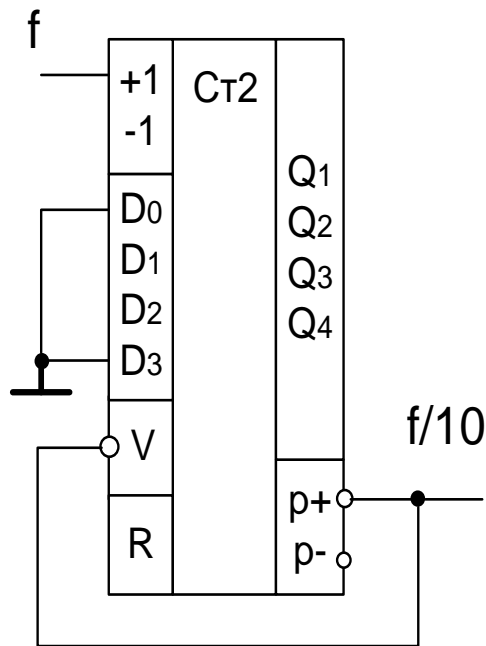


Рисунок 4.47 – Лічильник із коефіцієнтом переліку 10

Розробимо лічильник коефіцієнтом переліку  $k=6$ . Складаємо таблицю переключень підсумовуючого лічильника, який будемо на  $D$ -тригерах (табл. 4.31).

Таблиця 4.31

$Q_1$	$Q_2$	$Q_3$	$D_1$	$D_2$	$D_3$
0	0	0	1	0	0
1	0	0	0	1	0
0	1	0	1	1	0
1	1	0	0	0	1
0	0	1	1	0	1
1	0	1	0	0	0
$\phi$	$\phi$	$\phi$	$\phi$	$\phi$	$\phi$
$\phi$	$\phi$	$\phi$	$\phi$	$\phi$	$\phi$

Складаємо карти Карно для станів та переключень тригерів підсумовуючого лічильника (рис. 4.48). За її допомогою виконуємо мінімізацію рівнянь алгебри логіки. Самі рівняння алгебри логіки, які описують роботу підсумовуючого лічильника, подано також на рисунку 4.48. На підставі отриманих виразів будемо електричну принципову схему підсумовуючого лічильника, який має коефіцієнт переліку  $k=6$  (рис. 4.49).

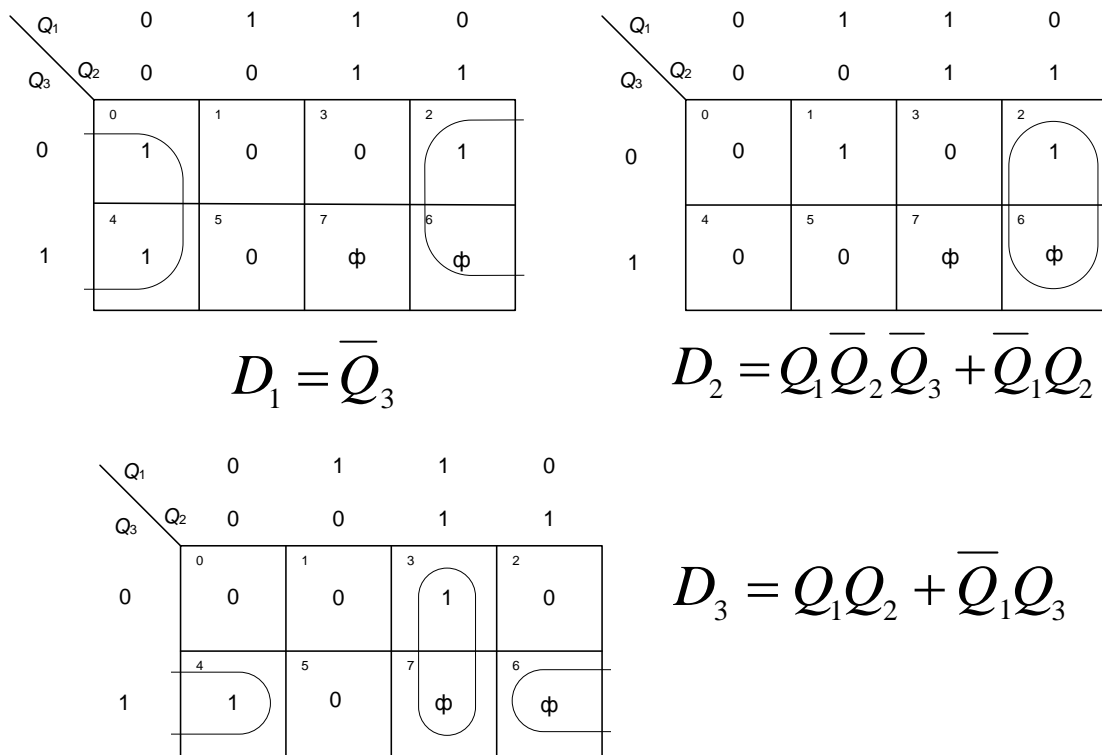


Рисунок 4.48 – Карти Карно для станів та переключень лічильника

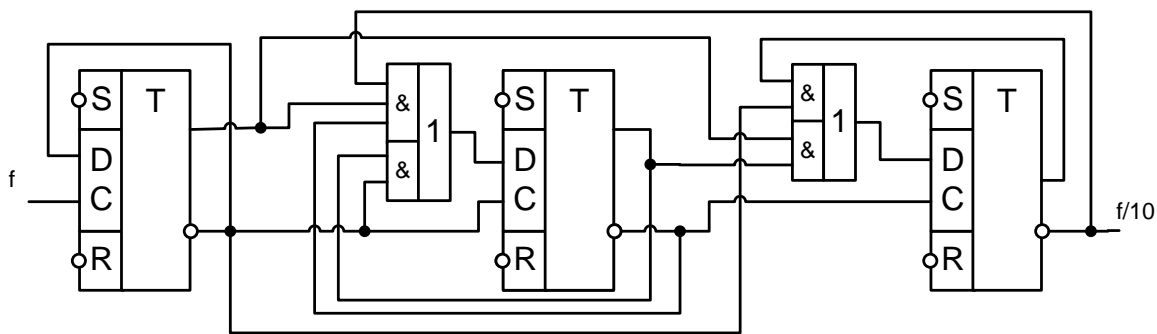


Рисунок 4.49 – Лічильник із коефіцієнтом переліку 10

Лічильники зі змінним коефіцієнтом переліку будуються на базі стандартних ІС. Можливі три варіанти реалізації таких лічильників.

1. Використання стандартної ІС К155ІЕ7, схема управління початковою установкою якої реалізовано на базі двійкового лічильника. Сигнал із виходу переносу реверсивного лічильника подається на вхід двійкового лічильника та на вхід початкової установки  $V$ . Виходи двійкового лічильника підключено до інформаційних входів реверсивного лічильника  $D_0$ ,  $D_1$ ,  $D_2$  та  $D_3$ . Коефіцієнт переліку утвореного пристрою  $k=16-l$ . Оскільки двійковий код підсумовуючого двійкового лічильника у процесі роботи пристрою збільшується, то коефіцієнт його переліку зменшується циклічно у межах від 16 до 1. Схему пристрою наведено на рис. 4.50.

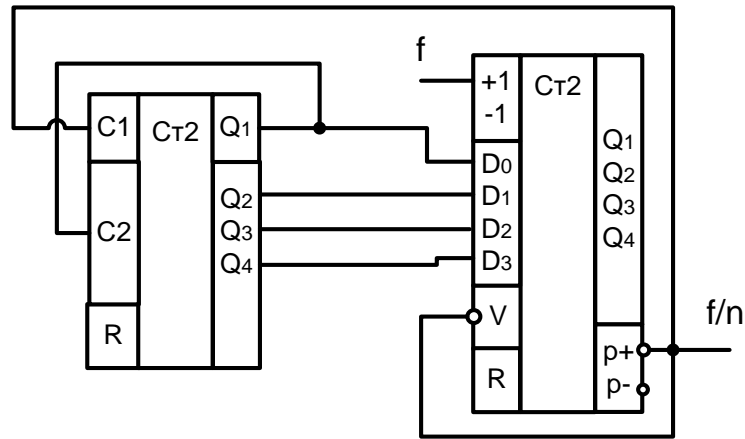


Рисунок 4.50 – Лічильник зі змінним коефіцієнтом переліку

2. Використання стандартної ІС К155ІЕ8, яка є 6-розрядний лічильник зі змінним коефіцієнтом переліку. Умовне позначення цієї мікросхеми наведено на рис. 4.51. На виході  $y_2$  мікросхеми частота вихідного сигналу дорівнює  $f/64$ , а на виході  $y_1$  –  $(Nf)/64$ , де  $N$  – код на інформаційних входах  $D_0, D_1, D_2, \dots, D_5$ . Таким чином, код інформаційних входів визначає кількість імпульсів, яка з'явиться на виході  $y_1$  за проміжок часу, який формується на виході  $y_2$ . Недоліком цього лічильника зі змінним коефіцієнтом переліку є нерівномірність розміщення у часі вихідних імпульсів.

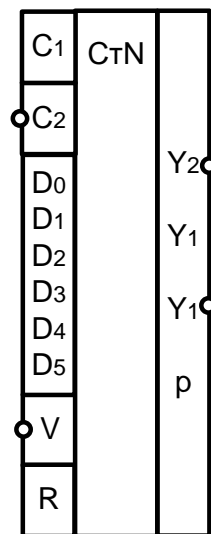


Рисунок 4.51 – Умовне позначення мікросхеми К155ІЕ8

3. Використання стандартної ІС К564ІЕ15, яка являє собою програмований подільювач частоти. Коефіцієнт поділу частоти цієї мікросхеми визначається наступним чином

$$N = M(1000p_m + 100p_c + 10p_d + p_{od}) + p_o,$$

де  $M = 2, 4, 5, 8, 10$  – модуль числа;  $p_m, p_c, p_d, p_{od}$  – відповідно множники тисячі, сотні, десятку та одиниць;  $p_o$  – залишок. Коефіцієнт поділу частоти цієї мікросхемою змінюється у межах від 3 до 21327.

Лічильники імпульсів можливо побудувати на базі регістрів зсуву. При замиканні регістра зсуву у кільце шляхом підключення виходу останнього триггеру зі входом першого отримаємо лічильник, який працює таким чином (табл. 4.32).

Таблиця 4.32

$n$	$Q_1$	$Q_2$	$Q_3$
0	1	0	0
1	0	1	0
2	0	0	1
3	1	0	0

Початкова установка цього лічильника наступна: у перший тригер записується 1, а в інші – 0. Коефіцієнт переліку такого лічильника дорівнює кількості тригерів, які його утворюють. Принципова схема лічильника наведена на рис. 4.52. Недоліком такої схеми побудови лічильника є необхідність захисту від випадкових завад.

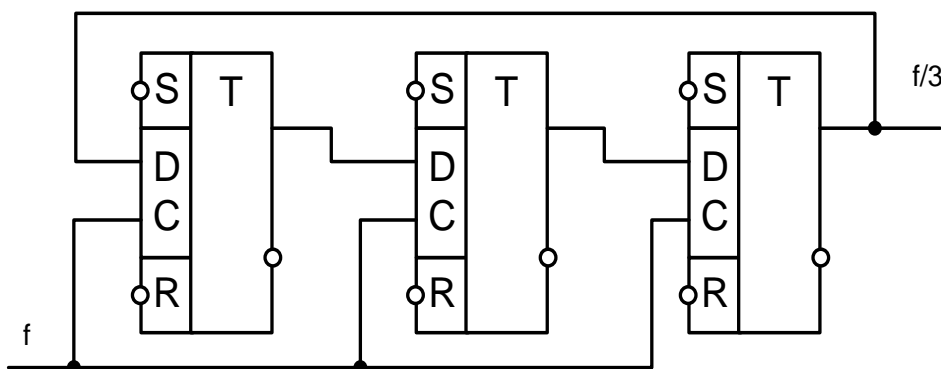


Рисунок 4.52 – Лічильник із коефіцієнтом переліку 3

Інша різновидність лічильників на основі регістрів зсуву отримала назву лічильників Джонсона. *Особливості роботи лічильників Джонсона такі:*

- із приходом на його вхід кожного імпульсу змінює свій стан тільки один тригер;
- кожен тригер змінює свій стан як можна ріже (наприклад, два рази за один цикл роботи лічильника).

Таблиця переключень тригерів 3-розрядного лічильника Джонсона має шість строк та, відповідно,  $k=2n=6$ , де  $n$  – кількість розрядів (табл. 4.33). Для побудови лічильника Джонсона використаємо  $D$ -тригери.

Складемо таблицю переключень (табл. 4.34) та за допомогою карт Карно (рис. 4.53) одержимо рівняння алгебри логіки для побудови лічильника Джонсона. На підставі отриманих рівнянь будуюмо принципову схему лічильника Джонсона на  $D$ -тригерах (рис. 4.54).

Таблиця 4.33

$n$	$Q_1$	$Q_2$	$Q_3$
0	0	0	0
1	1	0	0
2	1	1	0
3	1	1	1
4	0	1	1
5	0	0	1
6	0	0	0

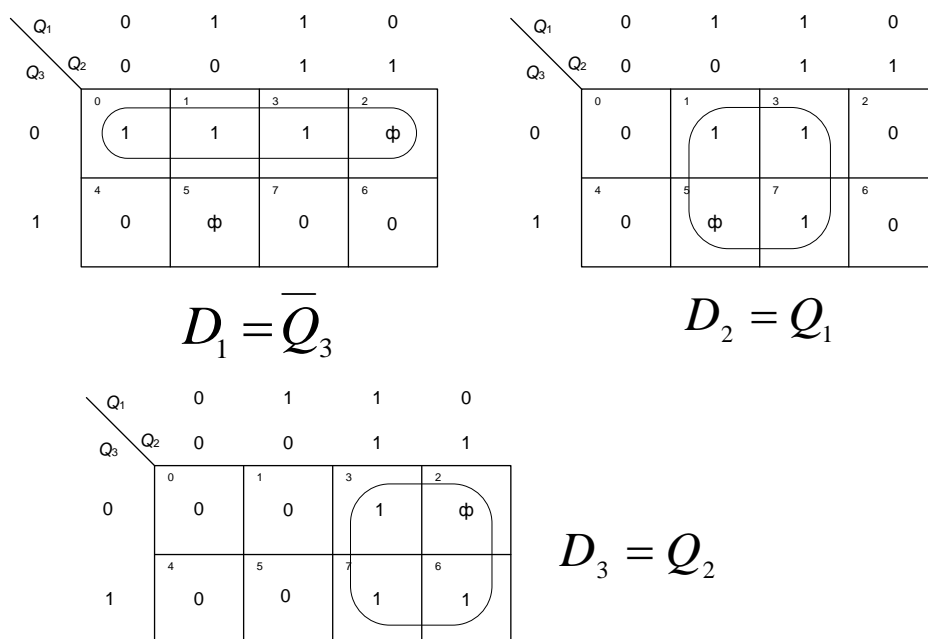


Рисунок 4.53 – Карти Карно лічильника Джонсона

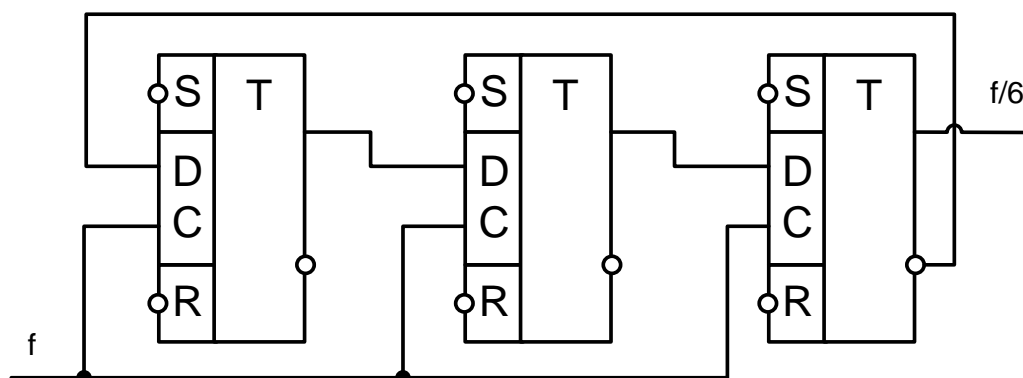


Рисунок 4.54 – Лічильник Джонсона із коефіцієнтом переліку 6

Таблиця 4.34 – Таблиця переключень лічильника Джонсона

$Q_1$	$Q_2$	$Q_3$	$D_1$	$D_2$	$D_3$
0	0	0	1	0	0
1	0	0	1	1	0
0	1	0	ф	ф	ф
1	1	0	1	1	1
0	0	1	0	0	0
1	0	1	ф	ф	ф
0	1	1	0	0	1
1	1	1	0	1	1

Поліноміальні лічильники імпульсів будуються на основі регістрів зсуву із використанням підсумовувача за модулем 2 у якості пристрою для формування зворотних зв'язків. На рис. 4.55 наведена одна із можливих схем побудови 3-розрядного лічильника. У табл. 4.35 наведено послідовність зміни станів тригерів поліноміального лічильника. При використанні другої схеми реалізації зворотного зв'язку послідовність станів тригерів буде іншою. У загальному випадку довжина та вид послідовності імпульсів, яку генерує лічильник, залежить від кількості розрядів та виду зворотних зв'язків.

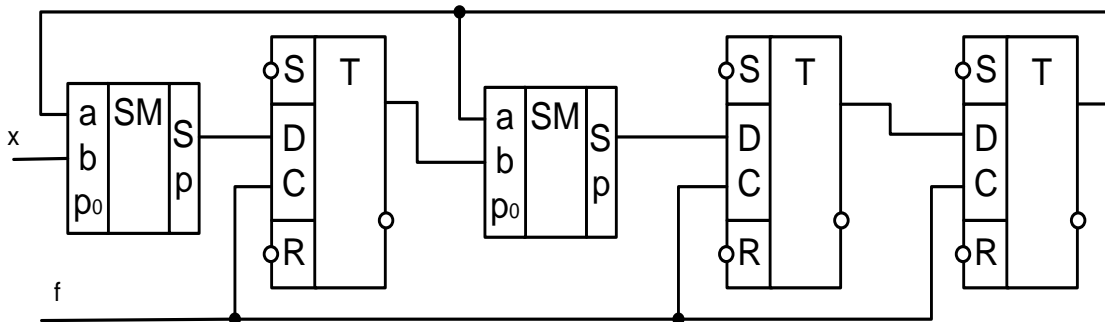


Рисунок 4.55 – Поліноміальний лічильник

Таблиця 4.35 – Таблиця переключень поліноміального лічильника

$N$	$x$	$Q_1$	$Q_2$	$Q_3$
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1
4	0	1	1	0
5	0	0	1	1
6	0	1	1	1
7	0	1	0	1
8	0	1	0	0

Статистичні характеристики послідовності одиниць та нулів, яку отримуємо на виходах тригерів при достатньо великій розрядів регістру, наближаються к характеристикам випадкової послідовності. У зв'язку з цим поліноміальні лічильники використовуються у системах керування в якості генераторів псевдовипадкових послідовностей при перевірці апаратури. Також ці лічильники використовуються для формування циклічних кодів, які забезпечують виявлення та виправлення похибок при передачі дискретних повідомлень.

#### 4.8 Допоміжні цифрові пристрої

Робота цифрового пристрою у складі системи керування параметрами технологічних процесів неможлива без застосування допоміжних пристроїв таких як: генератори та формувачі імпульсів. При побудові генератора типу мультівібратор на основі логічних елементів використовуються підсилювальні властивості інверторів. Для забезпечення стійких коливань необхідно забезпечити умови роботи інвертора по постійному струму на лінійної ділянці його передаточної характеристики.

Після цього необхідно до складу пристрою ввести позитивний зворотній зв'язок за допомогою одного чи декілька конденсаторів. Приклади побудови генераторів подано на рис. 4.56.

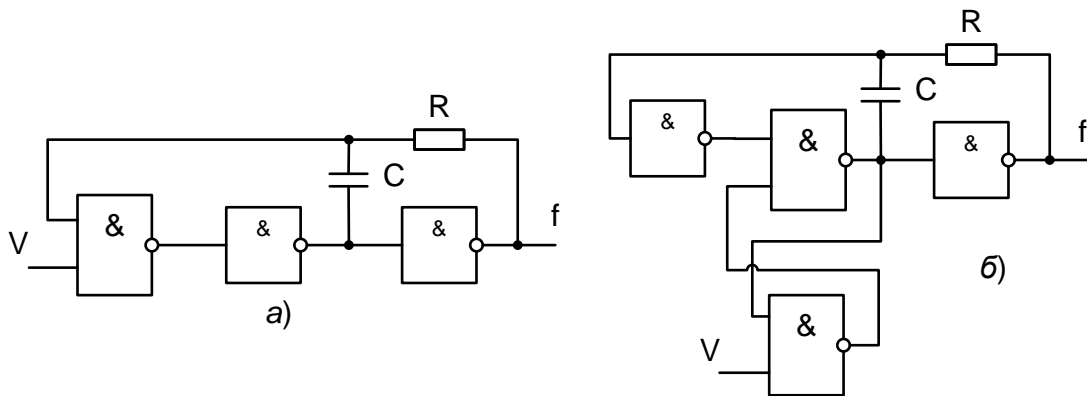


Рисунок 4.56 – Схеми генераторів зі зривом коливань

Стабілізація режимів інверторів за постійним струмом забезпечується за рахунок ланцюга зворотного зв'язку через резистор. Позитивний зворотній зв'язок реалізується за рахунок конденсатору. Вхід  $V$  у цих схемах використовується для того, щоб припинити генерацію імпульсів. Причому у схемі рис. 4.56а для припинення коливань потрібно, щоб  $V=1$ , а для схеми рис. 4.57б –  $V=0$ . Особливістю схеми рис. 4.57б є те, що при подачі забороняючого сигналу мультівібратор закінчує роботу не миттєво, а після формування імпульсу на виході.

Генератори імпульсів можна побудувати також на двох або одному інверторі (рис. 4.57).

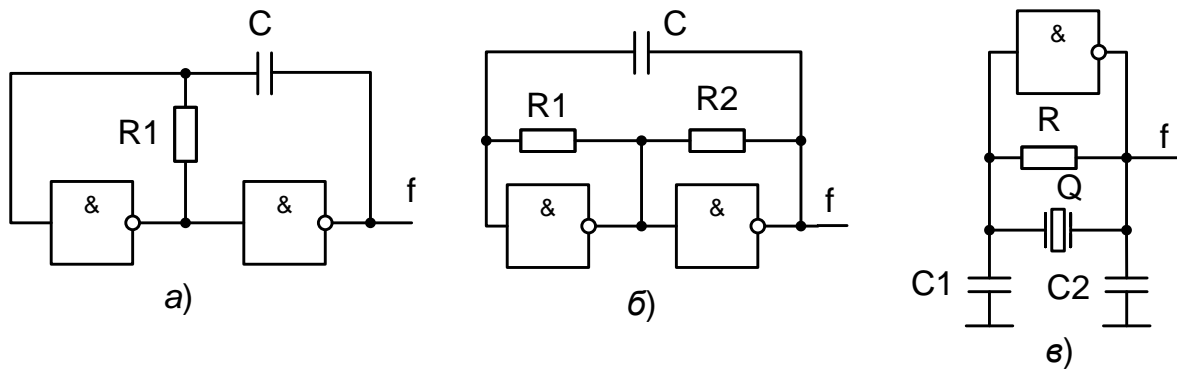


Рисунок 4.57 – Схеми генераторів

Можна також будувати генератори на основі триггеру Шмітта. Приклад реалізації принципової схеми подано на рис. 4.58.

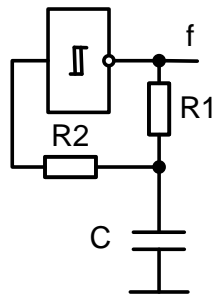


Рисунок 4.58 – Схема генератора на базі триггеру Шмітта

Формувачі напруги прямокутної форми будуються на базі триггеру Шмітта. Вони використовуються для перетворень сигналів довільної форми у цифровий сигнал. Приклади побудови цих пристроїв подано на рис. 4.59.

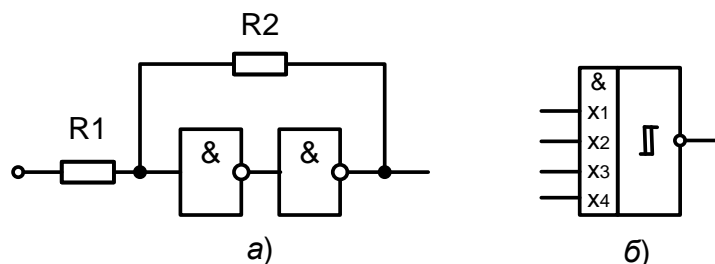


Рисунок 4.59 – Схема формувача прямокутної напруги

На рис. 4.59а показана схема триггеру Шмітта на базі інверторів. Позитивний зворотній зв'язок між інверторами утворює резистор  $R_1$ , опір якого складає 22 Ом. Вхідна напруга подається через резистор  $R_2$ , опір якого



складає 470 Ом. Збільшення цього опору впливає на коефіцієнт позитивного зворотного зв'язку та зменшує чутливість схеми до вхідної напруги. Приклад тригера Шмітта на базі стандартної ІС наведено на рис. 4.59б.

*Формувачі імпульсів заданої тривалості* (одновібратори) формують вихідний імпульс при подачі на їх вхід перепаду сигналу. Деякі приклади побудови цих пристроїв наведено на рис. 4.60.

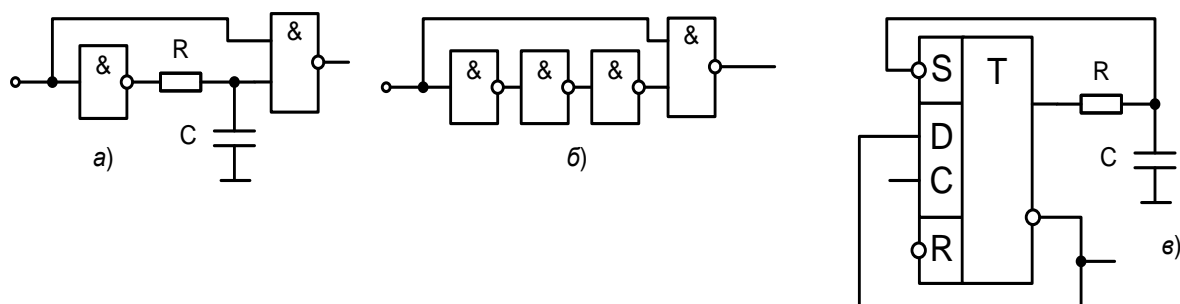


Рисунок 4.60 – Схеми формувачів імпульсів заданої тривалості

Початковий стан одно вібраторів (рис. 4.60а, б) визначається сигналом логічного нуля на їхніх входах. При цьому на виході інвертора сигнал логічної одиниці. Конденсатор заряджено й на відповідному вході схеми І-НІ присутня логічна 1. Подача на вхід одно вібратору сигналу логічної 1 призводить до того, що другому вході схеми І-НІ з'являється логічна 1. На виході одно вібратору з'являється сигнал логічного 0. На виході інвертору з'являється сигнал логічного 0, що призводить до розряду конденсатора. Коли напруга на конденсаторі стане меншою ніж рівень логічної 1 спрацьовує схема І-НІ, на виході пристрою з'являється сигнал логічної 1. Тривалість сформованого імпульсу дорівнюється часу розряду конденсатора до рівня спрацьовування схеми І-НІ. Тривалість вихідного сигналу схеми одно вібратору (рис. 4.60б) визначається запізненням, яке дорівнюється часу спрацьовування трьох послідовно включених інверторів. У одно вібраторі (рис. 4.60в) D-тригер знаходиться у одиничному стані. На його прямому виході знаходиться сигнал логічного 0, тому конденсатор заряджено. Поява сигналу логічної 1 на С-вході D-тригеру переводить його у нульовий стан. На його прямому виході з'являється сигнал логічної 0, тому конденсатор починає розряджатися. Коли напруга на конденсаторі стане меншою ніж рівень логічної 1, D-тригер переходить у одиничний стан. Тривалість сформованого імпульсу дорівнюється часу розряду конденсатора до рівня спрацьовування D-тригеру. Одно вібратори випускаються також у вигляді ІС (К155АГ1, К155АГ3).

*Формувачі імпульсів від механічних контактів* широко використовуються у складі систем керування параметрами технологічних процесів для формування чіткого переходу від 0 до 1, або навпаки. Специфіка роботи цього пристрою полягає в усуненні ефекту «дребезг контактів». Приклади схемної побудови формувачів імпульсів від механічних контактів подано на рис. 4.61.

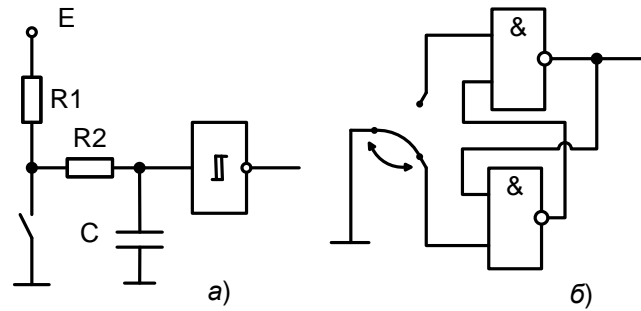


Рисунок 4.61 – Схеми формувачів імпульсів від механічних контактів

Формувач (рис. 4.61а) утворюють тригер Шмітта та фільтр нижніх частот, який усуває ефект «дребезг контактів». При замиканні перемикача напруга на вході фільтру подає до нуля. Змінна складова вхідної напруги згладжується фільтром. Постійна часу фільтру нижніх частот підбирається такою, щоб амплітуда пульсацій напруги на його виході була меншою ніж ширина петлі гістерезису тригеру Шмітта. Вхідний опір останнього повинен бути значно більшим, ніж вихідний опір фільтру. Формувач (рис. 4.61б) являє собою RC-тригер. При переключенні перемикача тригер реагує на перше замикання контактної пари.

### Контрольні запитання

1. Поясніть принцип дії  $T$ -тригера.
2. Що потрібно зробити для того, щоб  $D$ -тригер працював у цифрових схемах як  $T$ -тригер?
3. Як працює  $JK$ -тригер?
4. Які методи синтезу тригерних пристроїв вам відомі?
5. Сформулюйте правило роботи регістра.
6. Види регістрів.
7. Назвіть відомі вам методи побудови лічильників.
8. Порядок синтезу лічильника з довільним коефіцієнтом переліку.
9. Принцип роботи генераторів на логічних елементах.
10. У чому полягає принцип дії формувачів імпульсів заданої тривалості?

## 5 ЦИФРОВІ ПРИСТРОЇ ФОРМУВАННЯ ТА ОБРОБЛЕННЯ ДИСКРЕТНИХ СИГНАЛІВ

Цифрові пристрої формування та оброблення дискретних сигналів використовуються для формування й перетворення різного класу сигналів. Розглянемо приклад реалізації цифрового формування гармонічного сигналу коливання в збудниках радіопередавача, у кореляторах та погоджених фільтрах, у системах фазового автопідстроювання частоти.

### 5.1 Цифрові пристрої формування сигналів

Такі пристрої можуть бути виконані на основі запам'ятовуючих (ЗП) та цифроаналогових (ЦАП) пристроїв. Дійсно, оскільки робота ЗП звичайно описується  $M$ -розрядною ( $M$  – число входів ЗП) ЛФ, то за його допомогою можна сформувати таблично задані складні функції. Відтворення необхідної функції, вибіркові значення якої записані в осередках постійних запам'ятовуючих пристроїв (ПЗП), звичайно відбувається шляхом формування номерів адрес осередків ПЗП за допомогою, наприклад, двійкових лічильників СТ2 (рис. 5.1). Включення на виході ПЗП (ROM) цифроаналогового перетворювача (DAC) та фільтра нижніх частот дозволяє побудувати функціональний генератор або формувач аналогових сигналів.

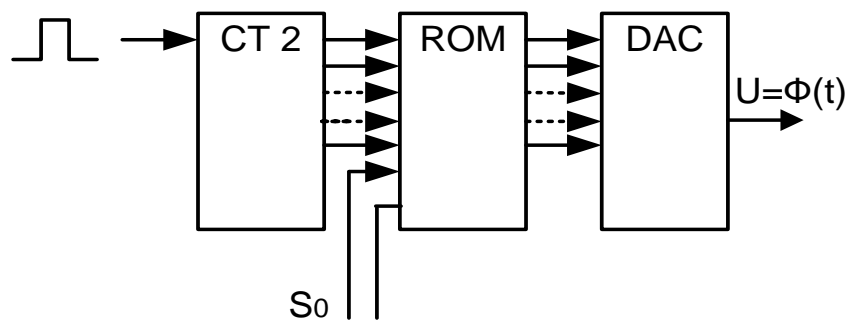


Рисунок 5.1 – Структурна схема функціонального генератора

Розглянемо принципову схему функціонального генератора (рис. 5.2). У ПЗП  $D3...D5$  записуються 12-розрядні кодові слова, які відповідають вибіркоким значенням вихідної функції, в додатковому коді із інвертованим знаковим розрядом. Із виходів ПЗП коди надходять на входи ЦАП ( $D6$ ). Зчитуванням інформації із ПЗП управляють двійкові лічильники  $D1$  та  $D2$ . Вхідна послідовність  $U_3$  надходить безпосередньо на вхід лічильника  $D1$ . Обсяг ПЗП, який потрібен для формування 256 вибіркоких значень сигналу  $S(t)$  при  $x = 8$ , складає  $256 \times 12$  біт.

Максимальна частота вихідного сигналу  $S(t)$  обмежується швидкодією цифроаналогового перетворювача D6.

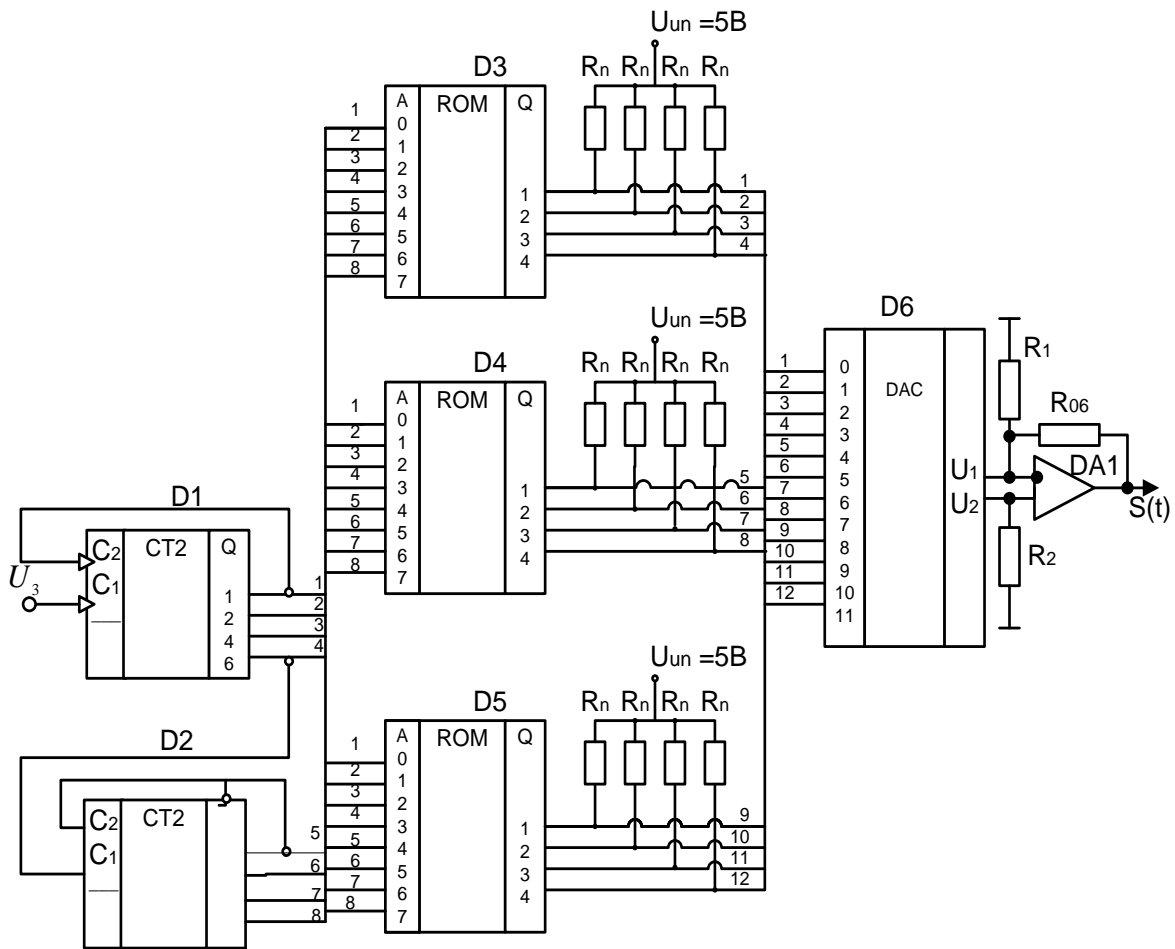


Рисунок 5.2 – Принципова схема формувача гармонійного сигналу

## 5.2 Цифрові корелятори

Розглянемо такий алгоритм когерентної оброблення сигналів цифровими кореляторами при обчисленні  $U_0$  у наступній формі

$$U_0 \cong U_0^{(q)} = \frac{\Delta t}{2} \sum_{K=0}^{N-1} A_x^{(n)}[k] A^{(P)}[k],$$

де  $A_x^{(n)}[k]$  та  $A_x^{(P)}[k]$  – послідовності двійкових кодів, які еквівалентні для коливання  $x(t)$  й сигналу  $s_0(t)$ ;  $n$ ,  $p$  – розрядності кодів;  $q$  – кількість розрядів числа на виході цифрового корелятора.

Структурна схема цифрового корелятора наведена на рис. 5.3. На цьому рисунку позначено: ФНЧ – фільтр нижчих частот; ЦП – цифровий

множник  $n$ -розрядних та  $p$ -розрядних чисел у деякі фіксовані моменти часу  $K \cdot \Delta t$ ; ЦУ – цифровий пристрій формування послідовності чисел  $A^{(p)}[k]$ ; СН – цифровий суматор-накопичувач  $N(n+p)$ -розрядних кодів.

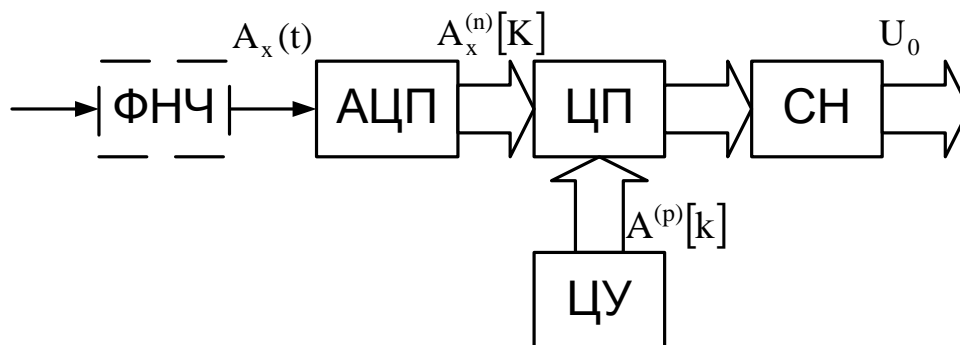


Рисунок 5.3 – Структурна схема цифрового корелятору

Зупинимося докладніше на принципах побудови ЦП. Найбільш швидкодіючими є цифрові множники рівнобіжного типу. Такі ЦП поділяються на матричні множники та множники на основі ПЗП.

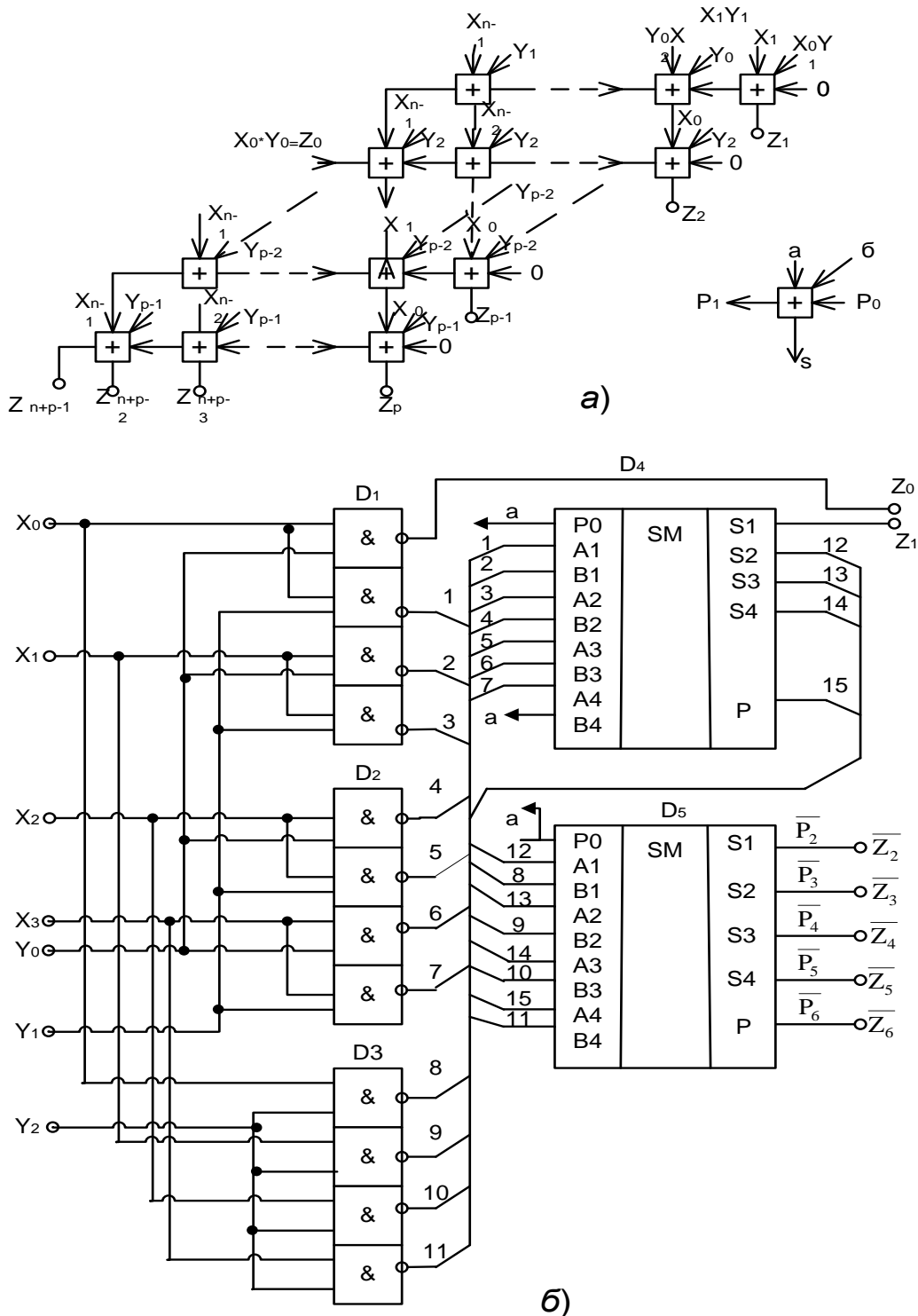
*Матричні перемножники (рис. 5.4а) здійснюють операцію множення  $n$ -розрядних та  $p$ -розрядних чисел  $X^{(n)}$  й  $Y^{(p)}$  відповідно до наступних алгоритмів роботи*

$$Z^{(n+p)} = X^{(n)}Y^{(p)} = \sum_{i=0}^{n-1} x_i 2^i \sum_{j=0}^{p-1} y_j 2^j,$$

де  $x_i$ ,  $y_j$  та  $z_k$  – значення  $i$ -го,  $j$ -го та  $k$ -го розрядів чисел  $X^{(n)}$ ,  $Y^{(p)}$  та  $Z^{(n+p)}$ , які записано у двійковому коді. При цьому кожне число  $X^{(n)}$  подається у вигляді  $n$ -розрядного числа  $(x_{n-1}, x_{n-2}, \dots, x_0)$ ; число  $Y^{(p)}$  – у вигляді  $p$ -розрядного коду  $(y_{p-1}, y_{p-2}, \dots, y_0)$  й число  $Z^{(n+p)}$  у вигляді  $(n+p)$ -розрядного коду;  $(z_{n+p-1}, z_{n+p-2}, \dots, z_0)$ , причому старшими є розряди  $x_{n-1}$ ,  $y_{p-1}$  та  $z_{n+p-1}$  а молодшими –  $x_0$ ,  $y_0$ ,  $z_0$ . На входи двійкових суматорів надходять результати логічного множення розрядів позитивних чисел  $X^{(n)}$  та  $Y^{(p)}$ . Двійковий суматор має входи «а» й «б», вхід переносу числа « $p_0$ », вихід суми чисел « $s$ » та вихід переносу числа « $p_1$ ». Кожен рядок суматорів (рис. 5.3) формує часткову суму та передає її до наступного рядку. Молодший розряд числа  $Z^{(n+p)}$  утвориться окремо як результат логічного множення розрядів  $x_0$  та  $y_0$ .

Принципова схема матричного множника, яка призначена для множення 4-розрядних  $X^{(4)}$  та 3-розрядних кодів  $Y^{(3)}$ , наведена на рис 5.4б. Для логічного множення розрядів цих кодів використовуються ЛЕ D1...D3 (IC 564 LA7), а у якості суматорів кодів D4 та D5 застосовано 4-розрядні повні суматори (IC 564 IM1). Розряди результуючого коду  $Z^{(7)}$  формуються в інвертованому вигляді. На входи «а» суматорів D4 та D5 подається напруга логічної «1».

Швидкодія такого матричного множника визначається швидкодією ЛЕ, які входять до складу пристрою. Для отримання її оцінки необхідно знати самий тривалий шлях проходження сигналу по множнику. При використанні цих типів ІС максимальна частота зчитування чисел з виходу множника не перевищує 1 МГц.



*a – структурна схема; б – принципова схема  
Рисунок 5.4 – Цифрові множники*

Перемножувачі цифрових кодів на основі ПЗП, у якому зберігаються таблиці добутків різних варіантів співмножників, причому загальне число добутків дорівнює  $2^{n+p}$   $(n+p)$ -розрядних чисел. Основу ПЗП складають матриці комірок пам'яті із записаними в них  $(n+p)$ -розрядними кодами, наприклад, шляхом пропалювання відповідних перемичок у матриці (ІС 556РТ4, 556РТ5). Звернення до інформації виконується через адресні входи шляхом подачі на них відповідного коду адреси, а зчитування  $(n+p)$ -розрядних чисел відбувається, як правило, у рівнобіжному коді із  $(n+p)$ -виходів ПЗП. Швидкодія таких множників визначається мінімальним часом зчитування інформації із ПЗП та, як правило, вона менша, ніж у матричних множників.

### 5.3 Цифрові погодженні фільтри

Реалізацію алгоритму погодженої фільтрації виконується шляхом безпосереднього обчислення виразу дискретної згортки. Розглянемо один із можливих варіантів побудови ЦПФ. Алгоритм дискретної згортки в цьому випадку може бути записано у такому вигляді

$$S_{вих}^{(q)}[k] = \frac{\Delta t}{2} \sum_{i=0}^{N-1} A_x^{(n)}[k-i] K^{(p)}[i].$$

де  $K^{(p)}[i]$  – послідовності  $p$ -розрядних кодів, які є цифровими еквівалентами гратчастої функції  $K[i]$  вибіркового значення із імпульсної перехідної характеристики  $K(t)$  погодженого фільтра.

Схема ЦПФ наведена на рис. 5.5. На ньому показано ФВ – пристрій формування імпульсного відгуку (послідовності  $p$ -розрядних чисел  $K^{(p)}[i]$ ). Дискретна згортка здійснюється у два етапи.

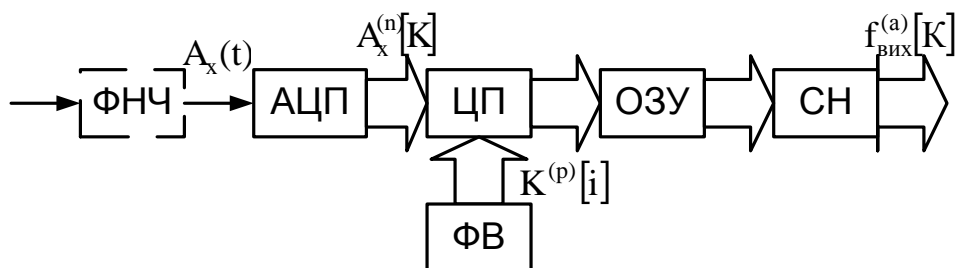


Рисунок 5.5 – Структурна схема цифрового погодженого фільтра

Перший етап роботи пристрою полягає в організації множення кожного  $n$ -розрядного коду  $A_x^{(n)}[k-i]$  на всі  $N$  значень  $p$ -розрядних чисел

$K^{(p)}[i]$  та запису  $N(n+p)$ -розрядних добутків в ОЗП. Він являє собою куб пам'яті (рис. 5.6) розмірами  $N \times N \times (n+p)$ , у який записуються добутки  $A_x^{(n)}[k-1]K^{(p)}[i]$ . Другий етап роботи пристрою полягає у зчитуванні інформації із ОЗП та підсумовуванні за допомогою цифрового суматора-накопичувача СН  $N(n+p)$ -розрядних кодів для кожного значення імпульсної перехідної характеристики  $K$  функції  $s_{\text{вух}}^{(q)}[k]$ .

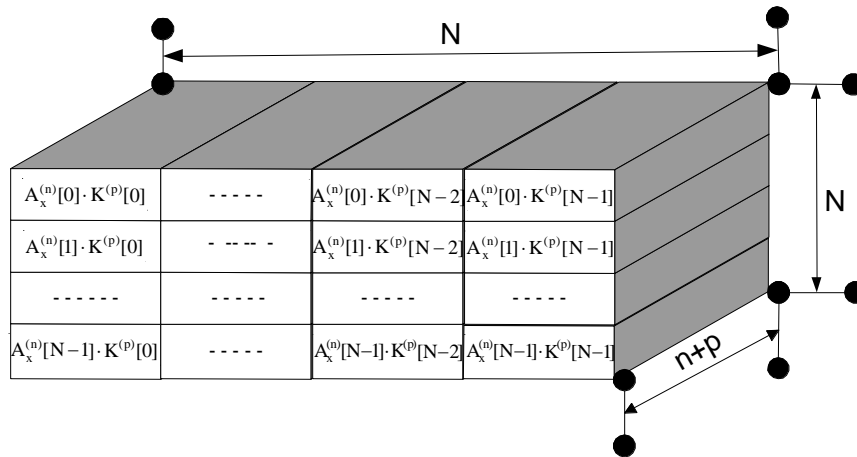


Рисунок 5.6 – Куб пам'яті ЦПФ

Усі елементи куба, які входять у вираз згортки, є додатками та призначено для одержання  $s_{\text{вух}}^{(q)}[k]$ . Необхідно організувати діагональний режим зчитування чисел із ОЗП.

При  $\kappa = 0$

$$s_{\text{вух}}^{(q)}[0] = A_x^{(n)}[0]K^{(p)}[0] + A_x^{(n)}[-1]K^{(p)}[1] + \dots + A_x^{(n)}[-(N-1)]K^{(p)}[N-1];$$

при  $\kappa = 1$

$$s_{\text{вух}}^{(q)}[1] = A_x^{(n)}[1]K^{(p)}[0]K^{(p)}[1] + \dots + A_x^{(n)}[-(N-2)]K^{(p)}[N-1];$$

при  $\kappa = N - 2$

$$s_{\text{вух}}^{(q)}[N-2] = A_x^{(n)}[N-2]K^{(p)}[0] + A_x^{(n)}[N-3]K^{(p)}[1] + \dots + A_x^{(n)}[-1]K^{(p)}[N-1];$$

при  $\kappa = N - 1$

$$s_{\text{вух}}^{(q)}[N-1] = A_x^{(n)}[N-1]K^{(p)}[0] + A_x^{(n)}[N-2]K^{(p)}[1] + \dots + A_x^{(n)}[0]K^{(p)}[N-1].$$

Дійсно, при  $\kappa = 0$  значення кодів



$$A_x^{(n)}[-1], A_x^{(n)}[-2], \dots, A_x^{(n)}[-(N-1)]$$

у випадку існування  $A_x(t)$  на інтервалі аналізу дорівнюють нулю. У той же час, якщо  $A_x(t)$  являє собою безперервний сигнал на інтервалі  $-\infty < t < +\infty$ , то значення кодів

$$A_x^{(n)}[-1], A_x^{(n)}[2], \dots, A_x^{(n)}[-(N-1)]$$

відповідають значенням функцій  $A_x[-1], A_x[-2], \dots, A_x[-(N-1)]$  вибіркового значень  $A_x[-\Delta t], A_x[-2\Delta t], \dots, A_x[-(N-1)\Delta t]$  на інтервалі аналізу, так що

$$A_x^{(n)}[k] = A_x^{(n)}[k + N] \quad (k = 1, 2, 3, \dots, N-1).$$

Підставивши цей вираз у попередній, одержимо діагональний закон зчитування й підсумовування чисел із ОЗП. При цьому для організації оброблення  $A_x(t)$  на інтервалі  $-\infty < t < +\infty$  необхідно чергувати етапи зчитування та підсумовування з етапами запису чисел. Після  $k$ -го діагонального зчитування та підсумовування чисел із ОЗП необхідно зробити запис  $N$  кодів наступних добутоків у  $k$ -й рядок куба пам'яті. Процес повторюється циклічно через  $N$  тактів (зчитування, підсумовування, записування). Час одного такту дорівнює інтервалу дискретизації  $\Delta t$ . Такий метод побудови цифрових погоджених фільтрів дозволяє нарощувати структуру пристрою.

## 5.4 Синтез логічних схем

Синтез КП та ПП полягає у визначенні таких способів поєднання схем, при яких пристрій реалізує поставлену задачу. Найпростіші схеми називають ЛЕ.

*Синтез КП та ПП на базі ЛЕ виконують таким чином:*

- на підставі словесного опису принципу роботи пристрою складають часову діаграму;
- на підставі часової діаграми або словесного опису принципу роботи пристрою створюють таблицю істинності для функції алгебри логіки, яка описує роботу логічної схеми;
- на підставі таблиці істинності створюють математичну формулу синтезованої схеми у вигляді ЗДНФ або ЗКНФ;
- із використанням законів бульової алгебри проводять аналіз отриманої функції з метою мінімізації операцій;
- будують електричну принципову схему пристрою із ЛЕ, які складають вибраний базис.

Синтез деяких логічних пристроїв у різних базисах розглянемо на прикладах.

**Приклад 5.1** Реалізувати електричну принципову схему пристрою в базисі І, АБО, НІ відповідно до часової діаграми, яку наведено на рис. 5.7.

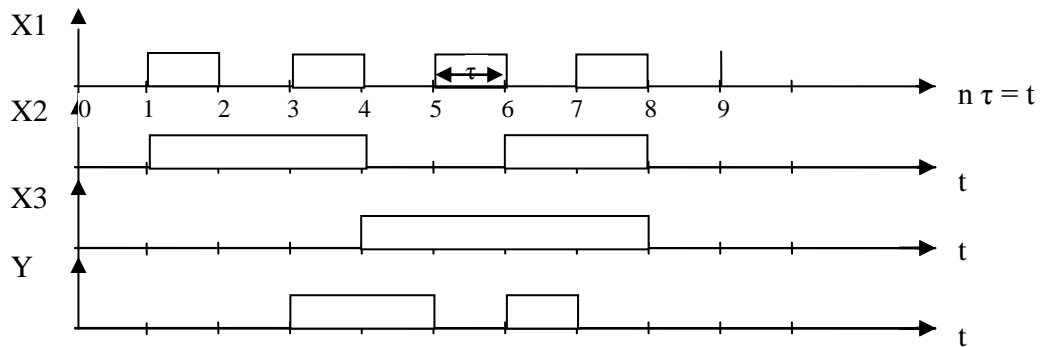


Рисунок 5.7 – Часова діаграма роботи пристрою

На підставі часової діаграми роботи пристрою складаємо таблицю істинності (табл. 5.1).

Таблиця 4.1

$n$	$X_1$	$X_2$	$X_3$	$Y$
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	1
4	0	0	1	1
5	1	0	1	0
6	0	1	1	1
7	1	1	1	0

Записуємо математичну формулу для функції алгебри логіки

$$Y = X_1 X_2 \overline{X_3} + \overline{X_1} X_2 \overline{X_3} + \overline{X_1} X_2 X_3.$$

За правилом склеювання мінімізуємо цей математичний вираз

$$Y = \overline{X_1} X_3 + X_1 X_2 \overline{X_3}.$$

Далі утворюємо електричну принципову схему пристрою на ЛЕ І, АБО, НІ (рис. 4.8).

**Приклад 5.2** Синтезувати у базисі Шеффера електричну принципову схему пристрою, яка реалізує таку ЛФ

$$Y = \overline{X_3}X_4 + \overline{X_1}\overline{X_2}\overline{X_4} + X_1X_2\overline{X_4} + \overline{X_1}X_2\overline{X_3} + X_1\overline{X_3}\overline{X_4}.$$

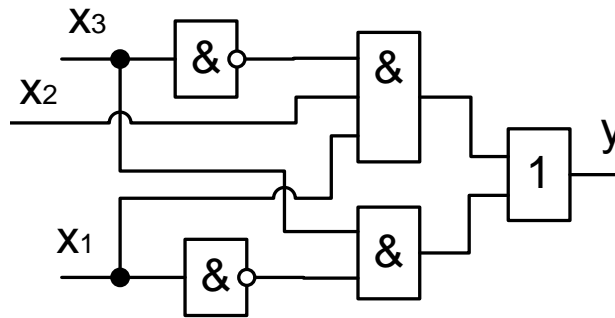


Рисунок 5.8 – Електрична принципова схема пристрою

Перетворюємо задану формулу рівняння алгебри логіки у ДНФ шляхом введення додаткових комбінацій

$$\begin{aligned} Y &= \overline{X_3}X_4(\overline{X_1} + X_1)(\overline{X_2} + X_2) + \overline{X_1}\overline{X_2}\overline{X_4}(\overline{X_3} + X_3) + X_1X_2\overline{X_4}(\overline{X_3} + X_3) + \\ &+ \overline{X_1}X_2\overline{X_3}(\overline{X_4} + X_4) + X_1\overline{X_3}\overline{X_4}(\overline{X_2} + X_2) = \overline{X_1}\overline{X_2}\overline{X_3}X_4 + \overline{X_1}X_2\overline{X_3}X_4 + \\ &+ X_1\overline{X_2}\overline{X_3}X_4 + X_1X_2\overline{X_3}X_4 + \overline{X_1}\overline{X_2}\overline{X_3}\overline{X_4} + \overline{X_1}\overline{X_2}X_3\overline{X_4} + X_1X_2\overline{X_3}\overline{X_4} + \\ &+ X_1X_2X_3\overline{X_4} + \overline{X_1}X_2\overline{X_3}\overline{X_4} + X_1\overline{X_2}\overline{X_3}\overline{X_4}. \end{aligned}$$

Мінімізацію математичного виразу виконуємо за допомогою карти Карно (рис. 5.9).

		$X_1$	0	1	1	0
	$X_3$		0	0	1	1
	$X_4$		0	1	3	2
0	0	0	1	1	1	1
1	0	4	1	5	7	6
1	1	12	0	13	15	14
0	1	8	1	9	11	10

Рисунок 5.9 – Карта Карно

У результаті мінімізації маємо

$$Y = \bar{X}_3 + \bar{X}_1 \bar{X}_2 \bar{X}_4 + X_1 X_2 \bar{X}_4.$$

Використовуючи правило де Моргана, маємо

$$Y = \overline{\overline{\bar{X}_1 \bar{X}_2 \bar{X}_4} \cdot \overline{\overline{X_1 X_2 \bar{X}_4}} \cdot \overline{\overline{X_3}}}.$$

Відповідно до цього виразу будуюмо електричну принципову схему пристрою (рис. 5.10).

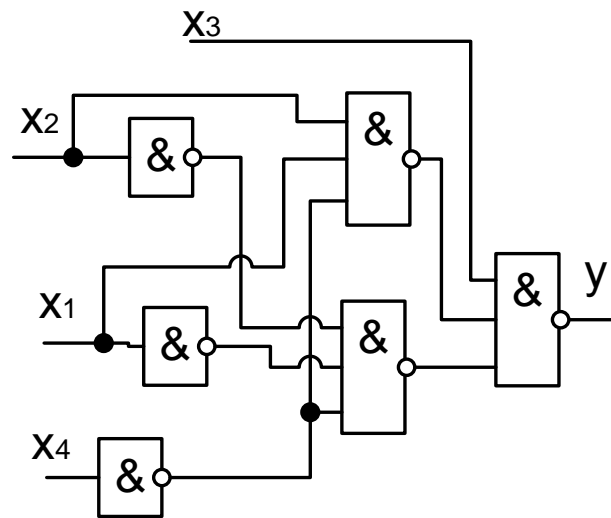


Рисунок 5.10 – Електрична принципова схема

Із карти Карно (рис. 5.9) знаходимо мінімальну КНФ даної функції алгебри логіки

$$Y = (\bar{X}_3 + \bar{X}_4)(X_3 + \bar{X}_2 + \bar{X}_3)(\bar{X}_1 + X_2 + \bar{X}_3).$$

Використовуючи правило де Моргана, маємо

$$Y = \overline{\overline{\bar{X}_3 \bar{X}_4} \cdot \overline{\overline{X_1 X_2 X_3}} \cdot \overline{\overline{X_1 \bar{X}_2 X_3}}}.$$

Відповідно до цього виразу маємо схему (рис. 5.11).

Задану функцію алгебри логіки можна також реалізувати в базисі Пірса, тобто на ЛЕ АБО–НІ. Застосовуючи до мінімальної КНФ правило де Моргана, маємо

$$Y = \overline{\overline{\bar{X}_3 + \bar{X}_4} + \overline{\overline{X_1 + \bar{X}_2 + \bar{X}_3}} + \overline{\overline{X_1 + X_2 + \bar{X}_3}}}.$$

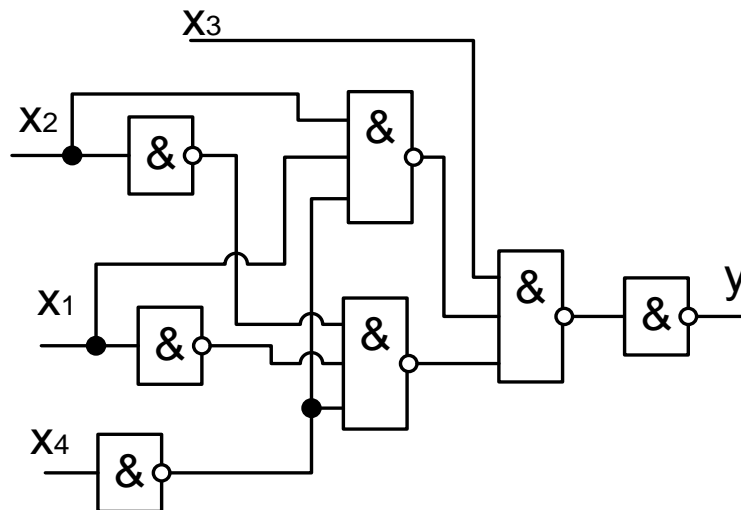


Рисунок 5.11 – Електрична принципова схема

Відповідно до цього виразу утворюємо електричну принципову схему пристрою (рис. 5.12).

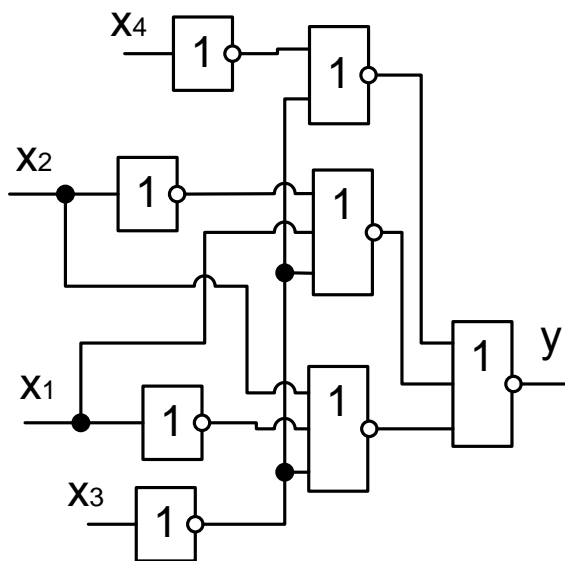


Рисунок 5.12 – Електрична принципова схема

**Приклад 5.3** Спроектувати систему управління промисловим роботом, яка працює згідно із такою часовою діаграмою (рис. 5.13). Можливі два варіанти побудови системи управління. Розглянемо кожний із варіантів.

**Варіант 1.** Технічну реалізацію системи управління промисловим роботом можна виконати на базі лічильника імпульсів із дешифратором. Кількість тригерів  $n$  лічильника визначається з аналізу часової діаграми за допомогою співвідношення  $[n] = \log_2 N$ , де  $[n]$  – ціле число;  $N$  – кількість імпульсів генератора, які складають цикли роботи промислового робота.

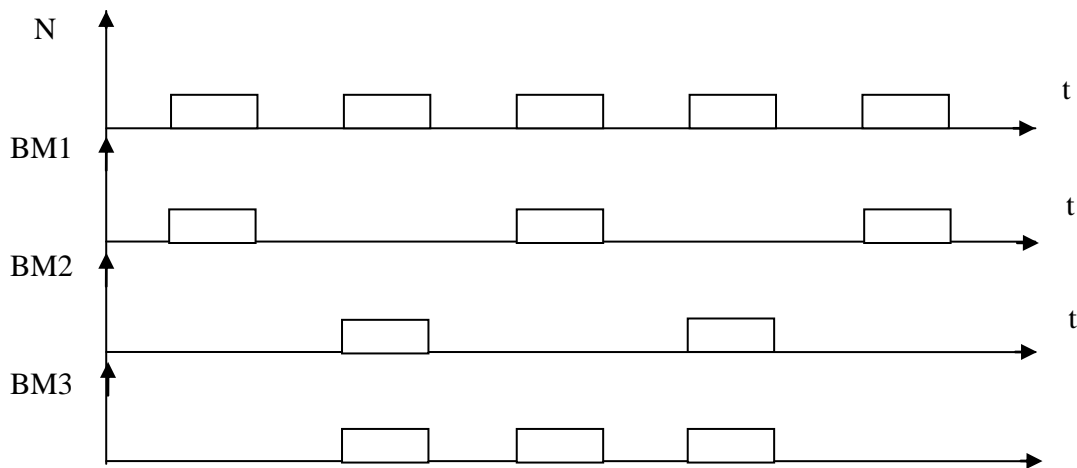


Рисунок 5.13 – Часова діаграма роботи пристрою

Так для нашого завдання маємо  $[n] = \log_2 5 = 3$ . Спроекуємо лічильник імпульсів на базі *JK*-тригерів. На підставі аналізу часової діаграми промислового робота складаємо таблицю станів та переходів (табл. 5.2).

Таблиця 5.2 – Таблиця станів та переходів

$N$	$Q_3$	$Q_2$	$Q_1$	$J_3$	$J_2$	$J_1$
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	$\emptyset$	$\emptyset$	$\emptyset$
6	1	1	0	$\emptyset$	$\emptyset$	$\emptyset$
7	1	1	1	$\emptyset$	$\emptyset$	$\emptyset$

За таблицею 5.2 складаємо карти Карно для *J*-входів кожного тригеру (рис. 5.14). За допомогою карт Карно отримаємо мінімізовані вирази рівнянь алгебри логіки роботи тригерів у складі підсумовуючого лічильника імпульсів. За допомогою правила де Моргана виконуємо перетворення виразів алгебри логіки лічильника. Відповідно до отриманих математичних виразів складаємо схеми елементів управління тригерами, а потім будуємо електричну принципову схему лічильника (рис. 5.15).

Вирази алгебри логіки переключення тригерів підсумовуючого лічильника після застосування правила де Моргана мають такий вигляд

$$J_1 = \overline{Q_2}, \quad J_1 = \overline{\overline{\overline{\overline{Q_1 Q_2 Q_1 Q_2}}}}, \quad J_1 = \overline{\overline{\overline{Q_1 Q_2 Q_3}}}.$$

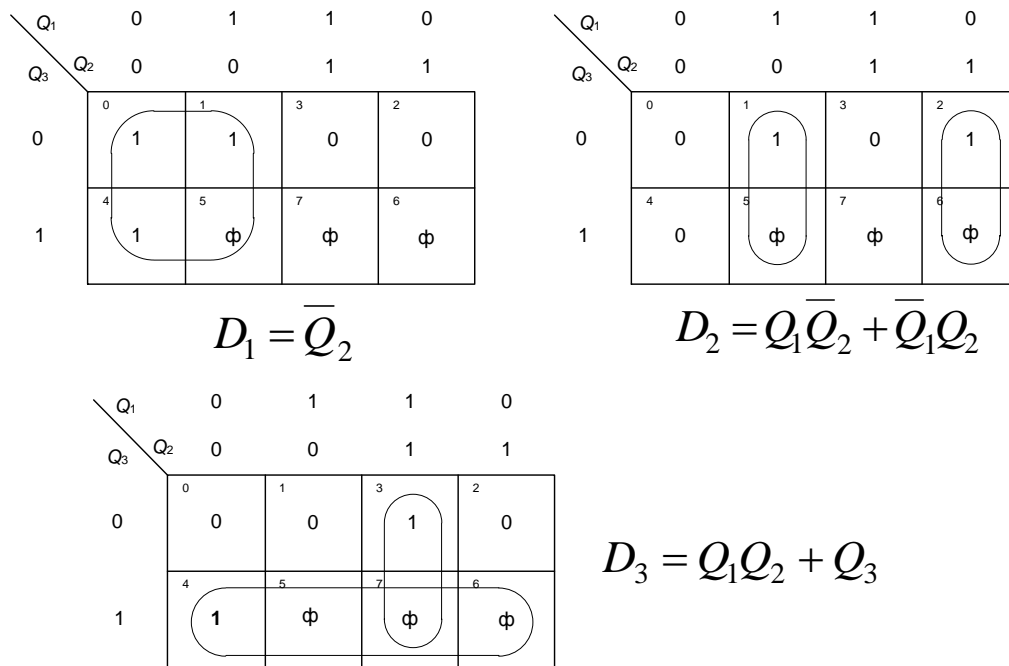


Рисунок 5.14 – Карти Карно для трьох тригерів

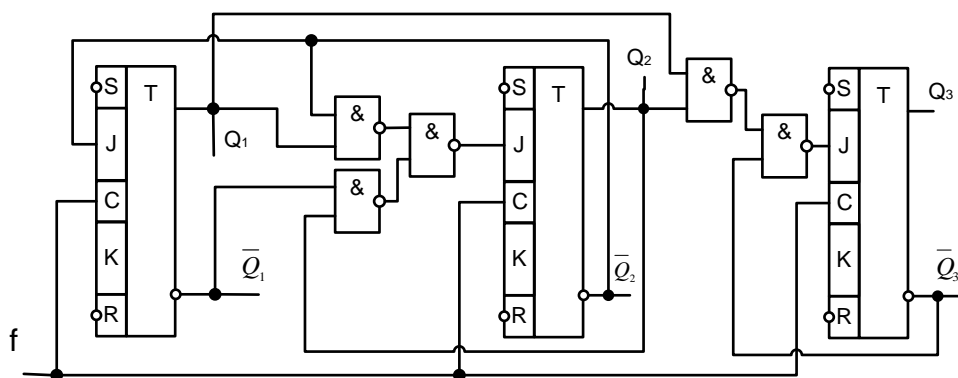


Рисунок 5.15 – Принципова схема лічильника

Із часової діаграми роботи промислового робота будуюмо таблицю істинності дешифратора (табл. 5.3).

Таблиця 5.3 – Таблиця істинності дешифратора

$N$	$Q_3$	$Q_2$	$Q_1$	$BM_3$	$BM_2$	$BM_1$
0	0	0	0	0	0	1
1	0	0	1	1	1	0
2	0	1	0	1	0	1
3	0	1	1	1	1	0
4	1	0	0	0	0	1
5	∅	∅	∅	∅	∅	∅
6	∅	∅	∅	∅	∅	∅
7	∅	∅	∅	∅	∅	∅

За таблицею істинності складаємо карти Карно для кожного виходу дешифратора (рис. 5.16). За допомогою карт Карно отримуємо мінімізовані вирази рівнянь алгебри логіки роботи дешифраторів. Відповідно до отриманих математичних виразів складаємо електричну принципову схему пристрою (рис. 5.17).

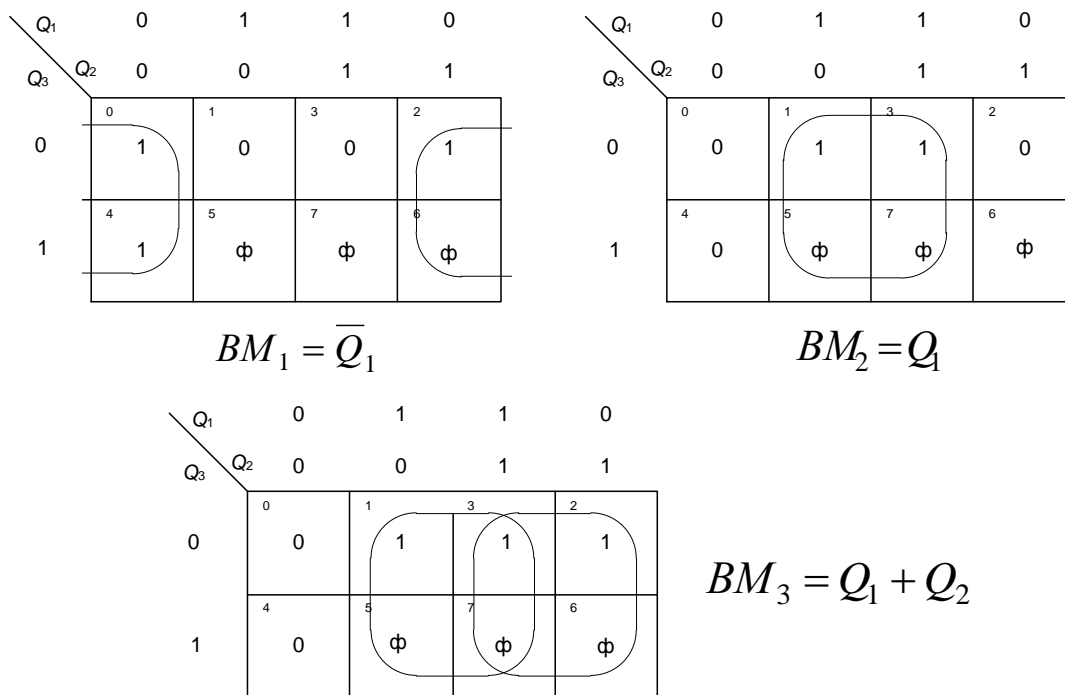


Рисунок 5.16 – Карти Карно для трьох виходів дешифратора

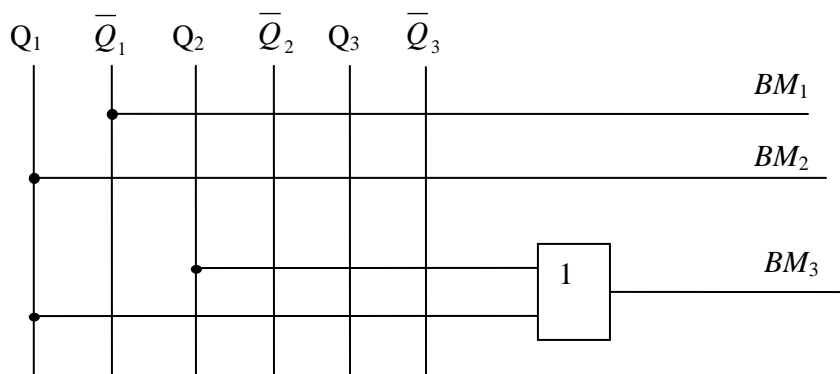


Рисунок 5.17 – Електрична принципова схема дешифратора

**Варіант 5.2** Технічну реалізацію системи управління промисловим роботом можна виконати на базі кільцевого регістру зсуву та шифратора. Розрядність регістру зсуву  $N_p$  залежить від кількості імпульсів генератора, які складають цикл роботи промислового робота  $N_p = N_e$ .

При цьому вважається, що перед початком роботи системи в регістр записується 1000...0 або 0111...1. З приходом кожного імпульсу генератора інформація у регістрі зсувається на один розряд вправо. Для прикладу, що розглядається, з урахуванням часової діаграми маємо  $N_p = 5$ .



Спроекуємо кільцевий регістр зсуву на  $JK$ -тригерах. Для скорочення обсягу перетворень спроекуємо регістр зсуву на трьох тригерах. Складаємо таблицю станів та переходів тригерів (табл. 5.4).

Таблиця 5.4 – Таблиця станів та переходів тригерів

$Q_n$			$Q_{n+1}$		
3	2	1	3	2	1
0	0	1	0	1	0
0	1	0	1	0	0
1	0	0	0	0	1

На підставі таблиці переходів складаємо карти Карно для  $J$ -входів кожного тригера (рис. 5.18).

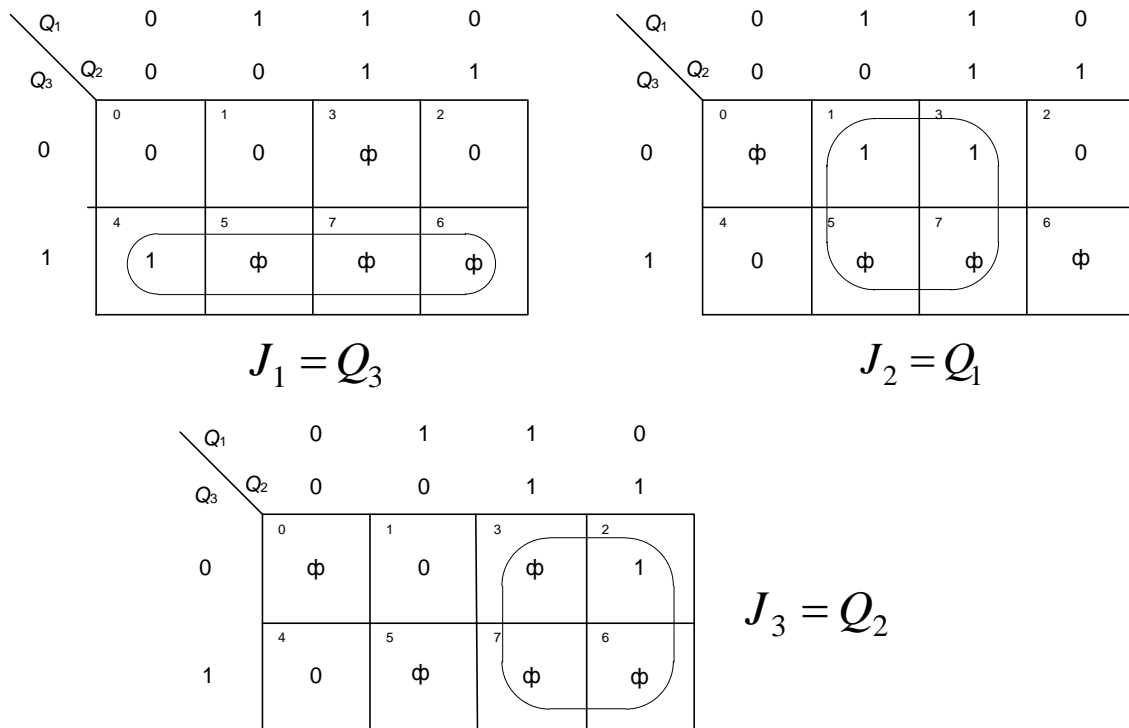


Рисунок 5.18 – Карти Карно для трьох тригерів

Відповідно до отриманих рівнянь (рис. 5.18) проектуємо електричну принципову схему кільцевого регістру зсуву (рис. 5.19).

На підставі аналізування часової діаграми роботи промислового роботу складаємо таблицю істинності для шифратора (табл. 5.5). На підставі таблиці істинності маємо такі рівняння алгебри логіки

$$BM_1 = Q_1 + Q_3 + Q_5, \quad BM_2 = Q_2 + Q_4, \quad BM_3 = Q_2 + Q_3 + Q_4.$$

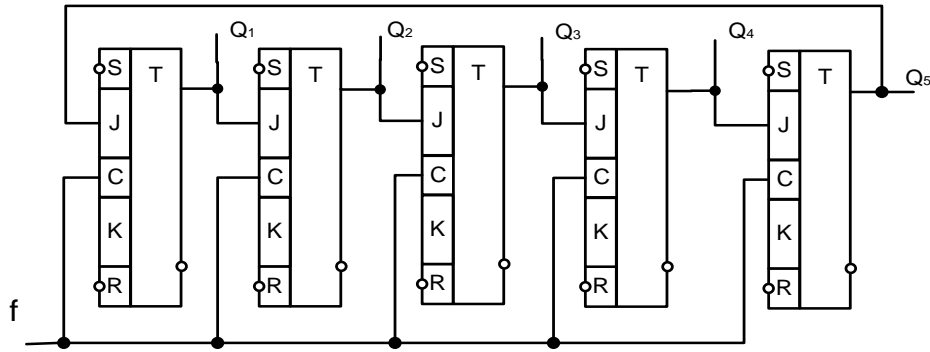


Рисунок 5.19 – Електрична принципова схема регістру зсуву

Таблиця 5.5 – Таблиця істинності шифратора

$Q_5$	$Q_4$	$Q_3$	$Q_2$	$Q_1$	$BM_3$	$BM_2$	$BM_1$
0	0	0	0	1	0	0	1
0	0	0	1	0	1	1	0
0	0	1	0	0	1	0	1
0	1	0	0	0	1	1	0
1	0	0	0	0	0	0	1

Будуємо схему шифратора (рис. 5.20).

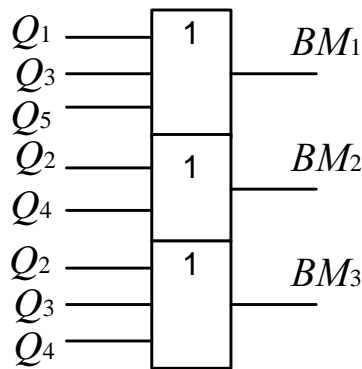


Рисунок 5.20 – Електрична принципова схема шифратора

**Приклад 5.4** Розробити функціональну схему автоматичного пристрою із пам'яттю на  $D$ -тригерах, опис якого подано блок-схемою алгоритму (рис. 5.21). Як видно зі схеми, пристрій має п'ять входів ( $X_1 \dots X_5$ ) та три виходи ( $y_1, y_2, y_3$ ). Він може знаходитися в одному із п'яти станів  $a_1 \dots a_5$ . Для фіксації та збереження станів необхідно визначити кількість тригерів за формулою

$$m = \log_2 N,$$

де  $N$  – число станів.

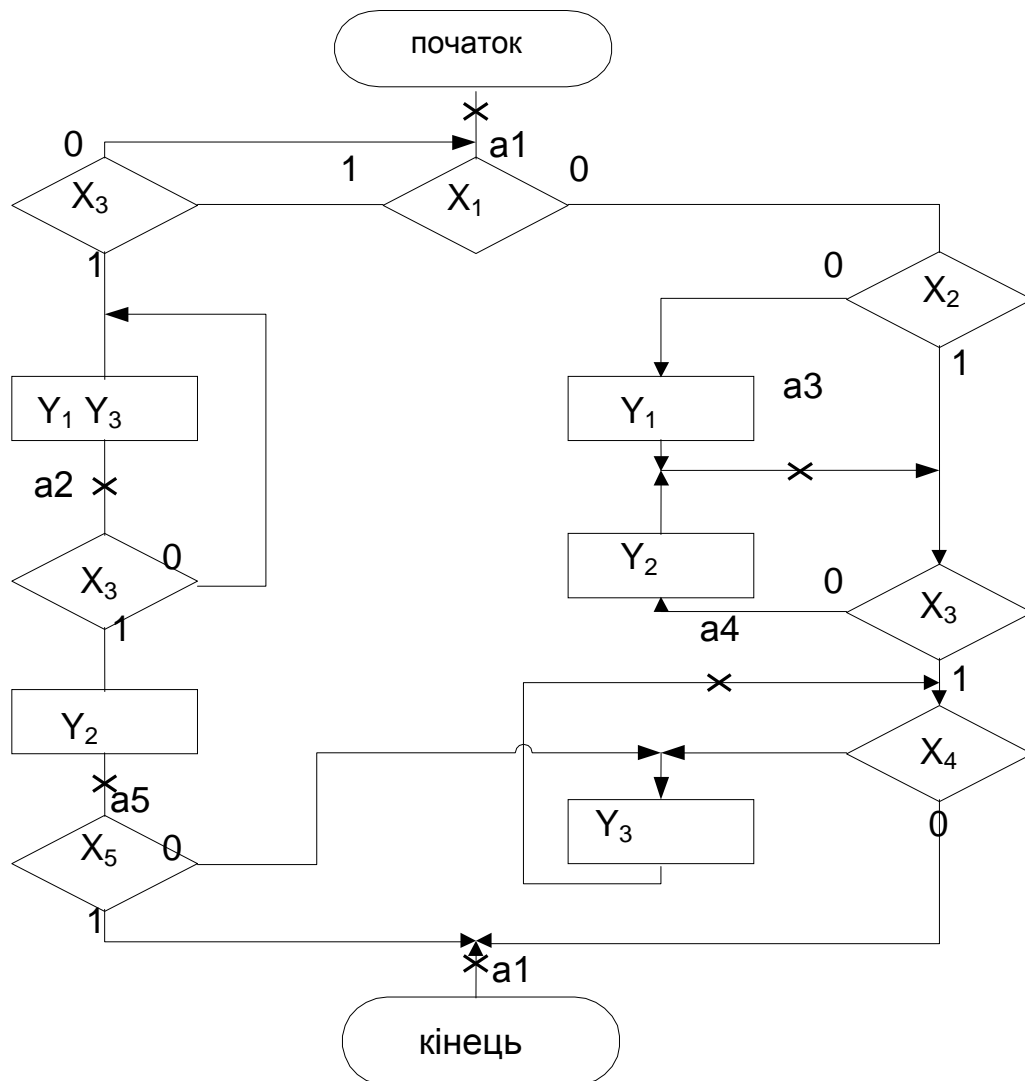


Рисунок 5.21 – Блок-схема алгоритму автоматичного пристрою

У нашому прикладі  $N = 5$ , тоді  $m = \log_2 5 = 2,52$ . Приймаємо  $m = 3$ . Присвоюємо кожному стану пристрою 3-розрядний код

- $a_1 - 000$ ,
- $a_2 - 001$ ,
- $a_3 - 010$ ,
- $a_4 - 011$ ,
- $a_5 - 100$ .

Визначені стани подано в унітарному коді довжиною  $l=5$ , для чого використаємо дешифратор. Щоб запобігти появі гонок використаємо імпульсну синхронізацію  $D$ -тригерів. Для відображення станів пристрою будемо граф переходів (рис. 5.22).

Складемо таблицю переходів тригерів (табл. 5.6). Використовуючи канонічний метод структурного аналізу, запишемо бульові функції вихідних сигналів та сигналів збудження тригерів у ЗДНФ.

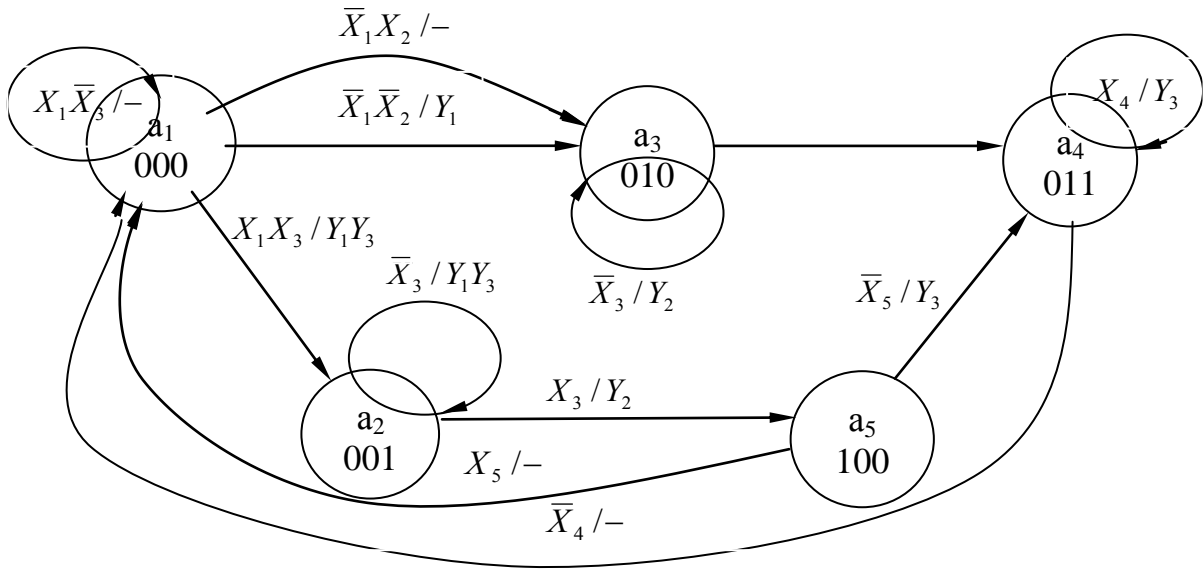


Рисунок 5.22 – Граф переходів (мікропрограми)

Таблиця 5.6 – Таблиця переходів тригерів

Поточний стан		Наступний стан		Сигнали		
Познач.	Код	Позначення	Код	Вхідні	Вихідні	Збудження тригерів
$a_1$	000	$a_1$	000	$X_1\bar{X}_3$	-	-
		$a_2$	001	$X_1X_3$	$Y_1\bar{Y}_3$	$D_3$
		$a_3$	010	$\bar{X}_1X_2$	-	$D_2$
$a_2$	001	$a_2$	001	$\bar{X}_3$	$Y_1\bar{Y}_3$	$D_2$
		$a_5$	100	$X_3$	$Y_2$	$D_1$
$a_3$	010	$a_3$	010	$\bar{X}_3$	$Y_2$	$D_2$
		$a_4$	011	$X_3$	-	$D_2D_3$
$a_4$	011	$a_1$	000	$\bar{X}_4$	-	-
		$a_4$	011	$X_4$	$Y_3$	$D_2D_3$
$a_5$	100	$a_1$	000	$X_5$	-	-
		$a_4$	011	$\bar{X}_5$	$Y_3$	$D_2D_3$

Сигнали тригерів отримано на підставі аналізу їхніх станів та переходів

$$Y_1 = a_1X_1X_3 + a_1\bar{X}_1\bar{X}_2 + a_2\bar{X}_3, \quad Y_2 = a_2X_3 + a_3\bar{X}_3;$$

$$Y_3 = a_1X_1X_3 + a_2\bar{X}_3 + a_4X_4 + a_5X_5.$$

Сигнали збудження тригерів

$$D_1 = a_2X_3, \quad D_2 = a_1\bar{X}_1X_2 + a_1\bar{X}_1\bar{X}_2 + a_3\bar{X}_3 + a_3X_3 + a_4X_4 + a_5\bar{X}_5;$$

$$D_3 = a_1X_1X_3 + a_2\bar{X}_3 + a_3X_3 + a_4X_4 + a_5\bar{X}_5.$$

Мінімізуємо функцію сигналу збудження  $D_2$

$$D_2 = a_1 \bar{X}_1 + a_3 + a_4 X_4 + a_5 \bar{X}_5.$$

Інші функції записані в мінімальній формі ДНФ. Ці функції приведемо до базису І-НІ

$$\begin{aligned} Y_1 &= \overline{a_1 X_1 X_3 + a_1 \bar{X}_1 \bar{X}_2 + a_2 \bar{X}_3} = \overline{a_1 X_1 X_3} + \overline{a_1 \bar{X}_1 \bar{X}_2} + \overline{a_2 \bar{X}_3}; \\ Y_2 &= \overline{a_2 X_3 + a_3 \bar{X}_3} = \overline{a_2 X_3} + \overline{a_3 \bar{X}_3}; \\ Y_3 &= \overline{a_1 X_1 X_3 + a_2 \bar{X}_3 + a_4 X_4 + a_5 \bar{X}_5} = \overline{a_1 X_1 X_3} + \overline{a_2 \bar{X}_3} + \overline{a_4 X_4} + \overline{a_5 \bar{X}_5}. \end{aligned}$$

Використовуючи для цього D-тригери, дешифратор та ЛЕ ТА-НІ будемо електричну принципову схему автоматичного пристрою (рис. 5.23).

### 5.5 Синтез комбінаційних схем на базі комутаторів

У складі різних серій мікросхем, які застосовуються у пристроях систем керування параметрами технологічних процесів, є елементи середнього ступеня інтеграції – комутатори (мультиплексори). Наприклад, К155КП1, К155КП5, К155КП7 та інші. *Комутатор являє собою багато входний ЛЕ із одним виходом. Входи комутатора поділяють на інформаційні та управляючі. При подачі на управляючі входи відповідного сигналу у вигляді двійкового коду до виходу комутатора підключається один із його інформаційних входів.* Промисловістю випускаються комутатори, які здійснюють вибір одного з 4-х, з 8-ми або з 16-ти інформаційних сигналів. Умовне позначення таких комутаторів наведено на рис. 5.24. Рівняння комутаторів 1 із 4, 1 із 8 та 1 із 16 можна записати наступним чином

$$F_{1-4} = \bar{A}_1 \bar{A}_0 B_0 + \bar{A}_1 A_0 B_1 + A_1 \bar{A}_0 B_2 + A_1 A_0 B_3. \quad (5.1)$$

$$\begin{aligned} F_{1-8} &= \bar{A}_2 \bar{A}_1 \bar{A}_0 B_0 + \bar{A}_2 \bar{A}_1 A_0 B_1 + \bar{A}_2 A_1 \bar{A}_0 B_2 + \bar{A}_2 A_1 A_0 B_3 + A_2 \bar{A}_1 \bar{A}_0 B_4 + \\ &+ A_2 \bar{A}_1 A_0 B_5 + A_2 A_1 \bar{A}_0 B_6 + A_2 A_1 A_0 B_7. \end{aligned} \quad (5.2)$$

$$\begin{aligned} F_{1-16} &= \bar{A}_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 B_0 + \bar{A}_3 \bar{A}_2 \bar{A}_1 A_0 B_1 + \bar{A}_3 \bar{A}_2 A_1 \bar{A}_0 B_2 + \bar{A}_3 \bar{A}_2 A_1 A_0 B_3 + \\ &+ \bar{A}_3 A_2 \bar{A}_1 \bar{A}_0 B_4 + \bar{A}_3 A_2 \bar{A}_1 A_0 B_5 + \bar{A}_3 A_2 A_1 \bar{A}_0 B_6 + \bar{A}_3 A_2 A_1 A_0 B_7 + A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 B_8 + \\ &+ A_3 \bar{A}_2 \bar{A}_1 A_0 B_9 + A_3 \bar{A}_2 A_1 \bar{A}_0 B_{10} + A_3 \bar{A}_2 A_1 A_0 B_{11} + A_3 A_2 \bar{A}_1 \bar{A}_0 B_{12} + \\ &+ A_3 A_2 \bar{A}_1 A_0 B_{13} + A_3 A_2 A_1 \bar{A}_0 B_{14} + A_3 A_2 A_1 A_0 B_{15}. \end{aligned} \quad (5.3)$$

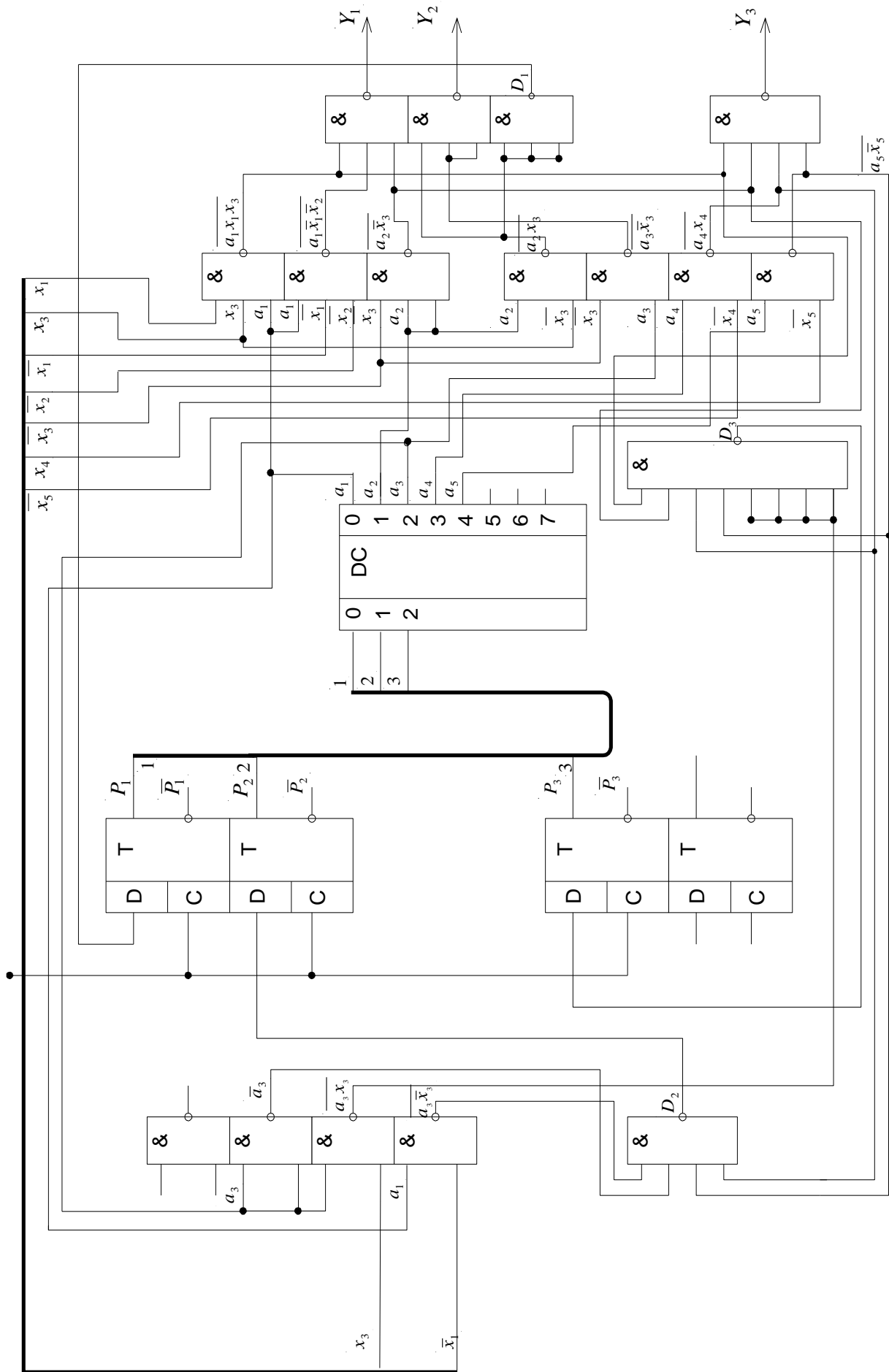
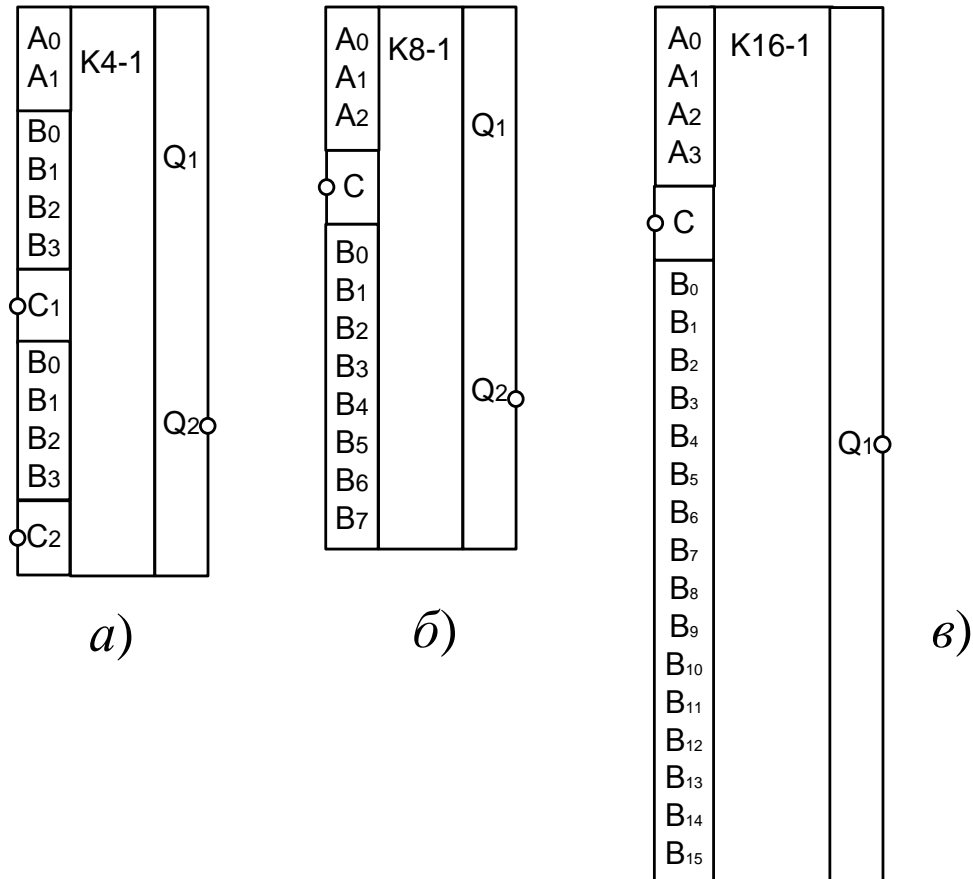


Рисунок 5.23 – Функціональна схема пристрою



*a – ІМС К155КП2, б – ІМС 155КП7, в – ІМС К155КП1*  
*Рисунок 5.24 – Типи комутаторів серії К155*

У виразах (5.1) – (5.3) через  $B_i$  та  $A_j$  позначено сигнали, які подаються на інформаційні та управляючі входи комутаторів відповідно. Нехай ми маємо довільні функції алгебри логіки 3-х, 4-х та 5-ти змінних

$$F_3(x_3, x_2, x_1), \quad F_4(x_4, x_3, x_2, x_1), \quad F_5(x_5, x_4, x_3, x_2, x_1). \quad (5.4)$$

Позначимо змінні  $x_3, x_4, x_3, x_2$  відповідно через  $A_3, A_2, A_1, A_0$ , а змінну  $x_1$  – через  $B$ .

$$F_3(A_1, A_0, B), \quad F_4(A_2, A_1, A_0, B), \quad F_5(A_3, A_2, A_1, A_0, B). \quad (5.5)$$

Використовуючи метод функціональної декомпозиції, подамо функції (5.5) у вигляді таких розкладів

$$F_3(A_1, A_0, B) = F_3(0, 0, B)\overline{A_1}\overline{A_0} + F_3(0, 1, B)\overline{A_1}A_0 + F_3(1, 0, B)A_1\overline{A_0} + F_3(1, 1, B)A_1A_0. \quad (5.6)$$

$$\begin{aligned}
F_4(A_2, A_1, A_0, B) = & F_4(0, 0, 0, B)\overline{A_2}\overline{A_1}\overline{A_0} + F_4(0, 0, 1, B)\overline{A_2}\overline{A_1}A_0 + \\
& + F_4(0, 1, 0, B)\overline{A_2}A_1\overline{A_0} + F_4(0, 1, 1, B)\overline{A_2}A_1A_0 + F_4(1, 0, 0, B)A_2\overline{A_1}\overline{A_0} + \\
& + F_4(1, 0, 1, B)A_2\overline{A_1}A_0 + F_4(1, 1, 0, B)A_2A_1\overline{A_0} + F_3(1, 1, 1, B)A_2A_1A_0.
\end{aligned} \quad (5.7)$$

$$\begin{aligned}
F_5(A_3, A_2, A_1, A_0, B) = & F_5(0, 0, 0, 0, B)\overline{A_3}\overline{A_2}\overline{A_1}\overline{A_0} + F_5(0, 0, 0, 1, B)\overline{A_3}\overline{A_2}\overline{A_1}A_0 + \\
& + F_5(0, 0, 1, 0, B)\overline{A_3}\overline{A_2}A_1\overline{A_0} + F_5(0, 0, 1, 1, B)\overline{A_3}\overline{A_2}A_1A_0 + F_5(0, 1, 0, 0, B)\overline{A_3}A_2\overline{A_1}\overline{A_0} + \\
& + F_5(0, 1, 0, 1, B)\overline{A_3}A_2\overline{A_1}A_0 + F_5(0, 1, 1, 0, B)\overline{A_3}A_2A_1\overline{A_0} + F_5(0, 1, 1, 1, B)\overline{A_3}A_2A_1A_0 + \\
& + F_5(1, 0, 0, 0, B)A_3\overline{A_2}\overline{A_1}\overline{A_0} + F_5(1, 0, 0, 1, B)A_3\overline{A_2}\overline{A_1}A_0 + F_5(1, 0, 1, 0, B)A_3\overline{A_2}A_1\overline{A_0} + \\
& + F_5(1, 0, 1, 1, B)A_3\overline{A_2}A_1A_0 + F_5(1, 1, 0, 0, B)A_3A_2\overline{A_1}\overline{A_0} + F_5(1, 1, 0, 1, B)A_3A_2\overline{A_1}A_0 + \\
& + F_5(1, 1, 1, 0, B)A_3A_2A_1\overline{A_0} + F_5(1, 1, 1, 1, B)A_3A_2A_1A_0.
\end{aligned} \quad (5.8)$$

Розглядаючи вирази (5.6) – (5.8), легко переконатися в тому, що всі значення функцій  $F_3, F_4, F_5$ , які знаходяться в правій частині цих виразів, можуть приймати значення тільки з множини  $\{0, 1, B \text{ або } \overline{B}\}$ . Ці вирази також описують будь-яку функцію алгебри логіки відповідно 3-х, 4-х та 5-ти змінних.

Попарне зіставлення виразів (5.1) та (5.6), (5.2) та (5.7), (5.3) та (5.8) показує, що коли на управляючі входи комутаторів подавати такі незалежні змінні  $A_1A_0, A_2A_1A_0, A_3A_2A_1A_0$ , а на відповідні інформаційні входи – величини із множини  $\{0, 1, B \text{ або } \overline{B}\}$  за таблицею істинності заданої функції, то можна записати такі рівності

$$F_{1-4} = F_3, \quad F_{1-8} = F_4, \quad F_{1-16} = F_5. \quad (5.9)$$

Ці вирази свідчать про те, що комутатори 1 із 4, 1 із 8 та 1 із 16 є універсальними ЛЕ, що реалізують будь-яку функцію алгебри логіки відповідно 3-х, 4-х та 5-ти змінних.

**Приклад.** Реалізувати ЛФ

$$F_4 = x_1x_2x_3 + \overline{x_1}\overline{x_2}\overline{x_3} + \overline{x_2}x_3x_4 + \overline{x_2}x_3\overline{x_4} + \overline{x_1}x_3x_4 + \overline{x_1}x_2\overline{x_4}$$

за допомогою комутатора 1 із 8.

Аналіз таблиці істинності цієї функції (табл. 5.7) вказує, що її реалізуємо за допомогою комутатора 1 із 8 у тому випадку, коли на управляючі входи  $A_2A_1A_0$  подані змінні  $x_1x_2x_3$ , а на відповідні інформаційні входи – сигнали:  $B_0 - 0, B_1 - \overline{x_4}, B_2 - 1, B_3 - 0, B_4 - x_4, B_5 - 1, B_6 - 1, B_7 - \overline{x_4}$ . Сигнал логічної 1 на вході ІС серії К155 реалізується його обривом. Для завдання логічного 0 підключаємо відповідний вхід до нульової шини джерела живлення.



Таблиця 5.7 – Таблиця істинності комутатора

$x_1$	$x_2$	$x_3$	$x_4$	$F_4$	Вихід, що підключається до входу
0	0	0	0	0	$B_0$
0	0	0	1	0	$B_0$
0	0	1	0	$1(\overline{x_4})$	$B_1$
0	0	1	1	$0(\overline{x_4})$	$B_1$
0	1	0	0	1	$B_2$
0	1	0	1	1	$B_2$
0	1	1	0	0	$B_3$
0	1	1	1	0	$B_3$
1	0	0	0	$0(x_4)$	$B_4$
1	0	0	1	$1(x_4)$	$B_4$
1	0	1	0	1	$B_5$
1	0	1	1	1	$B_5$
1	1	0	0	1	$B_6$
1	1	0	1	1	$B_6$
1	1	1	0	$1(\overline{x_4})$	$B_7$
1	1	1	1	$0(\overline{x_4})$	$B_7$

Приклад побудови пристрою показано на рис. 5.25. На підставі викладеного можна сформулювати правило.

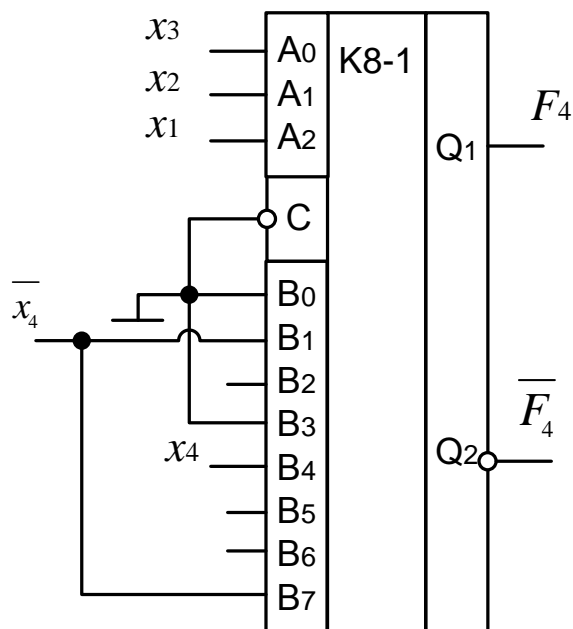


Рисунок 5.25 – ФАЛ 4-х змінних на комутаторі 1 із 8 (приклад 1)

Правило 1. Для реалізації функції алгебри логіки 3-х, 4-х або 5-ти змінних відповідно на комутаторі 1 із 4, 1 із 8, 1 із 16 необхідно:

- 1) скласти таблицю істинності функції алгебри логіки;
- 2) сигнали, відповідні  $i-1$  змінним ( $i = 3, 4$  або  $5$ ), подати на управляючі входи комутатора ( $i$  – індекс молодшої змінної);
- 3) на інформаційні входи комутатора відповідно з таблицею істинності функції алгебри логіки подати сигнали із множини  $\{0, 1, x_i, \overline{x_i}\}$ .

Наявність у комутатора входу, який позначено літерою С, дозволяє значно поширити їх логічні можливості.

Для ілюстрації цього положення перетворимо вираз (5.2) таким чином

$$F_{1-8} = (B_0 \overline{A_1} \overline{A_0} + B_2 \overline{A_1} A_0 + B_4 A_1 \overline{A_0} + B_6 A_1 A_0) \overline{A_2} + (B_1 \overline{A_1} \overline{A_0} + B_3 \overline{A_1} A_0 + B_5 A_1 \overline{A_0} + B_7 A_1 A_0) A_2. \quad (5.10)$$

З цього можна побачити, що вирази у дужках є рівняннями комутатора 1 із 4, які еквівалентні виразу (5.1). Отже логічний вираз (5.10) можна записати у такому вигляді

$$F_{1-8} = F_{1-4}^1 \overline{A_2} + F_{1-4}^2 A_2. \quad (5.11)$$

Аналогічно для комутатора 1 із 16 одержимо

$$F_{1-16} = F_{1-8}^1 \overline{A_3} + F_{1-8}^2 A_3. \quad (5.12)$$

Таким чином, об'єднуючи рівняння комутаторів 1 із 16, можна отримати рівняння гранично універсального ЛЕ для функцій 6-ти змінних

$$F_{1-32} = F_{1-16}^1 \overline{A_4} + F_{1-16}^2 A_4. \quad (5.13)$$

На підставі викладеного сформулюємо друге правило.

Правило 2. Для реалізації функції алгебри логіки 4-х, 5-ти або 6-ти змінних відповідно на двох комутаторах 1 із 4, 1 із 8, 1 із 16, необхідно:

- 1) пронумерувати змінні від 1 до  $i$ , де  $i = 4, 5$  або  $6$  ( $i$  – індекс молодшої змінної);
- 2) скласти таблицю істинності заданої функції;
- 3) сигнали, відповідні  $i-2$  змінним, подати рівнобіжно на управляючі входи двох комутаторів;
- 4) сигнал, який відповідає змінній із індексом  $i-1$ , треба подати на стробуючий вхід першого комутатора та через інвертор – на стробуючий вхід другого комутатора;

- 5) на інформаційні входи комутаторів треба подати, відповідно таблиці істинності функції алгебри логіки, сигнали із такої множини  $\{0,1,x_i,\bar{x}_i\}$ ;  
 б) прями виходи комутаторів об'єднати елементом АБО.

**Приклад 2.** Реалізувати функцію алгебри логіки, яку задано таким рівнянням

$$F = x_1x_2x_3 + x_1x_2x_4 + x_1x_2x_5 + x_1x_3x_4 + x_1x_3x_5 + x_1x_4x_5 + x_2x_3x_4 + x_2x_3x_5 + x_2x_4x_5 + x_3x_4x_5.$$

Функцію алгебри логіки побудувати на комутаторі 1 із 16 та окремо на двох комутаторах 1 із 8. За правилом 1 одержано схему, яку зображено на рис. 5.26, де на управляючі входи комутатора К16-1 подані старші змінні  $(x_1, x_2, x_3, x_4)$  заданої функції, а на інформаційні – сигнали із множини  $\{0,1,x_5,\bar{x}_5\}$ .

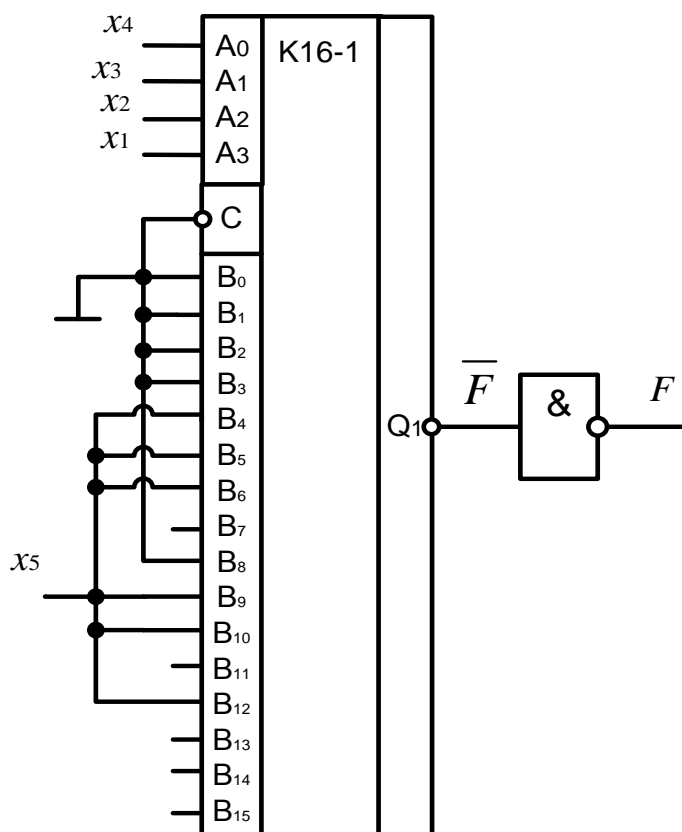


Рисунок 5.26 – ФАЛ 5-х змінних на комутаторі 1 із 16 (приклад 2)

Для реалізації цієї ж функції алгебри логіки на двох комутаторах К8-1 необхідно скористатися правилом 2. Згідно із таблицею істинності (табл. 5.8) старші змінні  $(x_1, x_2, x_3)$  подати рівнобіжно на управляючі входи двох комутаторів К8-1, сигнал  $x_4$  поступає на вхід С комутатора D1, та через

інвертор D2 – на вхід С комутатора D3. Таким чином забезпечується почергова робота обох комутаторів. На інформаційні входи відповідно табл. 4.8 подаються сигналами із множини  $\{0,1,x_5,\overline{x_5}\}$ . Щоб отримати сумарне значення функції  $F$ , треба виходи комутаторів об'єднати ЛЕ АБО (D4). Відповідну схему показано на рис. 5.27.

Таблиця 5.8 – Таблиця істинності комутаторів

Позначення	$x_4x_5$	$x_1x_2x_3$							
		000	001	010	011	100	101	110	111
D <sub>1</sub>	00	0	0	0	0( $x_5$ )	0	0( $x_5$ )	0( $x_5$ )	1
	01	0	0	0	1( $x_5$ )	0	1( $x_5$ )	1( $x_5$ )	1
D <sub>3</sub>	10	0	0( $x_5$ )	0( $x_5$ )	1	0( $x_5$ )	1	1	1
	11	0	1( $x_5$ )	1( $x_5$ )	1	1( $x_5$ )	1	1	1
Входи комутатора		V <sub>0</sub>	V <sub>1</sub>	V <sub>2</sub>	V <sub>3</sub>	V <sub>4</sub>	V <sub>5</sub>	V <sub>6</sub>	V <sub>7</sub>

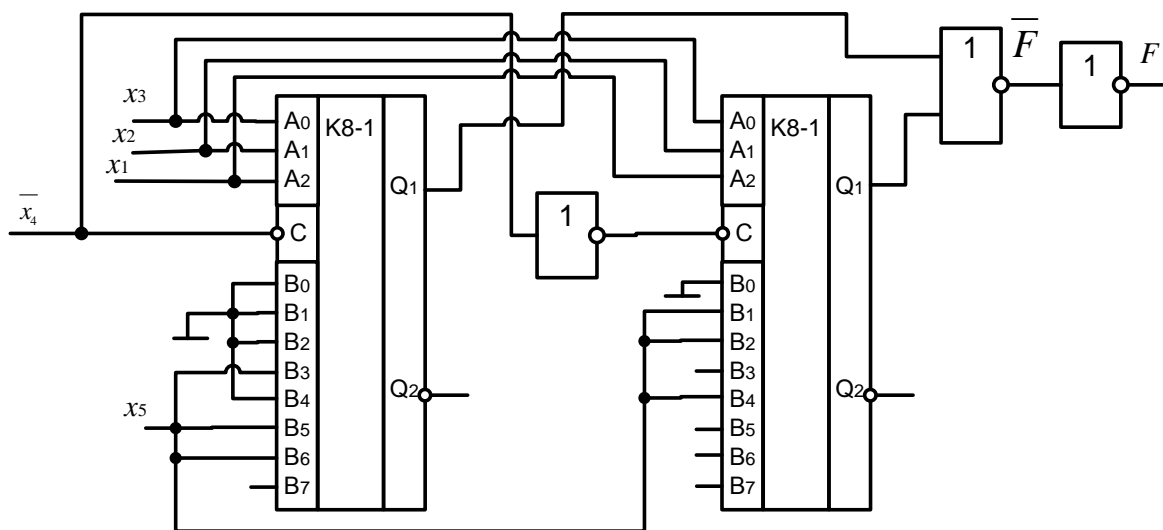


Рисунок 5.27 – Реалізація ФАЛ 5-х незалежних змінних за допомогою двох комутаторів 1 із 8 (приклад 2)

### Контрольні питання

1. Сформулюйте методи захисту інформації в МП системах.
2. Приведіть структурну схему багатофункціонального генератора на базі МП.
3. Приведіть структурну схему корелятора.
4. Розкрийте принцип дії ЦПФ.
5. З яких операцій складається синтез апаратних засобів програмного керування параметрами технологічних процесів?
6. Які особливості синтезу схем на базі комутаторів?

## ЛИТЕРАТУРА

1. **Бунтов, В. Д.** Проектирование цифровых радиотехнических устройств на интегральных микросхемах: Учебное пособие / Бунтов В.Д., Емельянов А.Ф., Макаров С.Б. – Л. : 1985. – 72 с.
2. **Бунтов, В. Д.** Цифровые радиотехнические устройства на интегральных микросхемах: Учебное пособие / Бунтов В.Д., Макаров С.Б. – Л. : 1985. – 72 с.
3. **Якубовский, С. В.** Цифровые интегральные микросхемы / С. В. Якубовский. – М. : Энергоатомиздат, 1990. – 496 с.
4. **Гутников, В. С.** Интегральная электроника в измерительных устройствах / В.С.Гутников. –Л. : Энергоатомиздат, 1988. – 304 с.
5. **Пухальский, Г. И.** Проектирование дискретных устройств на интегральных микросхемах: Справочник / Пухальский Г.И., Новосельцева Т.Я. – М. : Радио и связь, 1990. – 304 с.
6. **Федорков, Б. Г.** Микросхемы ЦАП и АЦП: Функционирование, параметры, применение / Федорков Б.Г., Телец В.А. – М. : Энергоатомиздат, 1990. – 320 с.
7. **Сикарев, А. А.** Микроэлектронные устройства формирования и обработки сложных сигналов / Сикарев А.А., Лебедев О.Н. – М. : Радио и связь, 1983. – 215 с.
8. **Вершинин, О. Е.** Применение микропроцессоров для автоматизации технологических процессов / О.Е. Вершинин. – Л. : Энергоатомиздат, 1986. – 208 с.
9. **Маклюков, М. И.** Применение аналоговых интегральных микросхем в вычислительных устройствах / М.И. Маклюков, В.А. Протопопов. – М. : Энергия, 1980. – 160 с.
10. **Титце, У.** Полупроводниковая схемотехника: Справочное руководство / У. Титце, К. Шенк. – М. Мир, 1982. – 512 с.
11. **Дьяконов, В. П.** Matlab и Simulink для радиоинженеров / Дьяконов В.П. – М. : ДМК Пресс, 2011. – 976 с.
12. **Dorf, R.** Modern Control Systems / Dorf R., Bishop R.. – Addison: Wesley: Prentice Hall, 2010. – 1104 p.

**Для нотаток**

**Для нотаток**

*Навчальне видання*

**ЄНІКЄЄВ Олександр Фанілович**

**РАЗЖИВІН Олексій Валерійович**

**СУБОТІН Олег Володимирович**

## **СХЕМОТЕХНІКА ТА МІКРОЕЛЕКТРОНІКА**

### **Посібник**

**для студентів галузей знань  
15 «Автоматизація та приладобудування»  
і 12 «Інформаційні технології»  
усіх спеціальностей і форм навчання**

За авторською редакцією  
Комп'ютерне верстання      І. І. Дьякова

135/2020. Формат 60 x 84/16. Ум. друк. арк. 9,77.  
Обл.-вид. арк. 4,37. Тираж 50 пр. Зам. № 26

Видавець і виготівник  
Донбаська державна машинобудівна академія  
84313, м. Краматорськ, вул. Академічна, 72.  
Свідоцтво суб'єкта видавничої справи  
ДК № 1633 від 24.12.2003